

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002年8月1日 (01.08.2002)

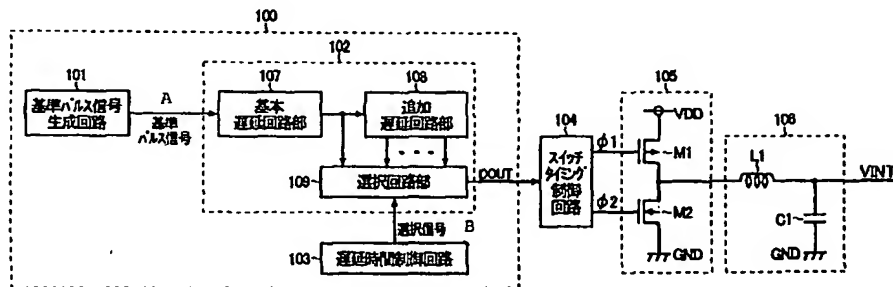
PCT

(10) 国際公開番号
WO 02/060042 A1

- (51) 国際特許分類: H02M 3/155 (OKUNO, Tamohisa) [JP/JP]; 〒632-0078 奈良県 天理市 杉本町392-1 サンハイム C105 Nara (JP).
- (21) 国際出願番号: PCT/JP02/00394
- (22) 国際出願日: 2002年1月21日 (21.01.2002) (74) 代理人: 佐野 静夫 (SANO, Shizuo); 〒540-0032 大阪府大阪市 中央区天満橋京町2-6 天満橋八千代ビル別館 Osaka (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): KR, US.
- (30) 優先権データ: 特願2001-16941 2001年1月25日 (25.01.2001) JP (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒545-0013 大阪府大阪市 阿倍野区長池町2番2号 Osaka (JP). 添付公開書類:
— 国際調査報告書
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 奥野 智久
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: VOLTAGE CONVERSION CIRCUIT AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE PROVIDED WITH IT

(54) 発明の名称: 電圧変換回路及びこれを備えた半導体集積回路装置



- 101...REFERENCE PULSE SIGNAL GENERATING CIRCUIT
A...REFERENCE PULSE SIGNAL
107...BASIC DELAY CIRCUIT UNIT
108...ADDITIONAL DELAY CIRCUIT UNIT
109...SELECTION CIRCUIT UNIT
B...SELECTION SIGNAL
103...DELAY TIME CONTROL CIRCUIT
104...SWITCHING TIMING CONTROL CIRCUIT

(57) Abstract: A voltage conversion circuit which uses first delay circuit for delaying a specified time a reference pulse signal having a constant pulse width and a second delay circuit for delaying an arbitrary time an output signal from the first delay circuit to thereby generate a variable-pulse-frequency output pulse signal and change an output voltage according to the pulse frequency of the output pulse signal

[続葉有]



(57) 要約:

本発明に係る電圧変換回路は、パルス幅一定の基準パルス信号を所定時間遅らせる第1遅延回路と、第1遅延回路の出力信号を任意時間遅らせる第2遅延回路によってパルス周期可変の出力パルス信号を生成し、該出力パルス信号のパルス周期に応じて出力電圧を変化させる構成である。

明細書

電圧変換回路及びこれを備えた半導体集積回路装置

技術分野

本発明は、集積回路に駆動電圧を供給する電圧変換回路、及びこれを備えた半導体集積回路装置に関するものである。

背景技術

一般に、動作クロックに従って演算処理等を実行する集積回路には、製造プロセスのばらつきや電源変動、或いは温度変化等が生じて、常に正常な動作を行えるように、大きな設計マージンが設けられている。つまり、上記した各種変動等によって回路の遅延時間が増大した場合であっても、集積回路全体の動作が動作クロックの1クロック内に収まるように設計されている。また、上記した全ての条件が最悪の状態となっても正常な動作を行えるように、集積回路には十分高い電源電圧が印加されている。

これらの大きな設計マージンや高い電源電圧の印加は、集積回路の高速化や低消費電力化の妨げとなる。そこで、集積回路の動作状況を検知して集積回路の動作に必要な最低限の駆動電圧を与えられるように電源電圧の制御を行う電圧変換回路の開発が進められている。

図24は従来の電圧変換回路の一例を示す概略構成図である。なお、本図に示す電圧変換回路は、特開平10-242831号公報に開示されている従来技術であり、デューティ比制御回路901と、バッファ回路902と、フィルタ回路903と、クリティカルパス回路904と、遅延回路905と、正否判定回路906と、加算器907と、を有して成る。

デューティ比制御回路901は、バッファ回路902における出力電圧の可変動作を制御する回路であり、カウンタと比較回路を有して成る。カウンタは $0 \sim 2^n - 1$ （例えば、 $n = 6$ の場合は $0 \sim 63$ ）までの数を、供給されたクロック信号（図示せず）の周期毎に1ずつカウントアップし、そのカウント数を n ビット

の信号NAとして比較回路に送出する。なお、カウント数 $2^n - 1$ の次は0となる。また、比較回路には信号NAの他に、加算器907からnビットの信号NBが入力されている。

比較回路は、バッファ回路902を構成するPMOSトランジスタM1及びNMOSトランジスタM2のオン/オフ制御を行う回路であり、各トランジスタM1、M2のゲートには、比較回路から制御信号X1、X2がそれぞれ供給されている。なお、比較回路は信号NAが0となったときに制御信号X1、X2の電圧レベルをLレベルとし、信号NAが信号NBと一致したときに制御信号X1、X2の電圧レベルをHレベルとする。

バッファ回路902を構成するPMOSトランジスタM1のソースには、第1電源電圧が印加されており、NMOSトランジスタM2のソースには、第2電源電圧（ここでは接地電圧）が印加されている。また、両トランジスタのドレインは互いに接続されており、その接続ノードはバッファ回路902の出力端とされている。

従って、制御信号X1、X2がLレベルである場合、PMOSトランジスタM1はオンとなり、NMOSトランジスタM2はオフとなるので、バッファ回路902の出力電圧は第1電源電圧にほぼ等しくなる。一方、制御信号X1、X2がHレベルである場合、PMOSトランジスタM1はオフとなり、NMOSトランジスタM2はオンとなるので、バッファ回路902の出力電圧は第2電源電圧（接地電圧）にほぼ等しくなる。すなわち、バッファ回路902の出力電圧は、信号NAが0のときに立ち上がり、信号NAが信号NBに等しくなったときに立ち下がるパルス状の電圧信号Yとなる。

この電圧信号Yは、インダクタンスL1及びキャパシタC1から成るフィルタ回路903によって平滑化されて出力電圧Zとなる。出力電圧Zは、同一基板上に形成された内部回路（図示せず）に対して供給され、該内部回路の駆動電圧として利用される。また、出力電圧Zは、クリティカルパス回路904の電源電圧としても利用される。

上記したバッファ回路902を構成するPMOSトランジスタM1がオンとなり、NMOSトランジスタM2がオフとなる時間（すなわち、制御信号X1、X

2がLレベルである時間)をオン時間 T_1 とし、PMOSトランジスタM1がオフとなり、NMOSトランジスタM2がオンとなる時間(すなわち、制御信号X1、X2がHレベルである時間)をオフ時間 T_2 とすると、フィルタ回路903の出力電圧Zは一般に、次の(1)式によって求めることができる。

$$Z = \frac{T_1}{T_1 + T_2} \times VDD \cdots (1)$$

ここで、上式中のオン時間 T_1 (右辺分子)は電圧信号Yのパルス幅を表しており、オン時間 T_1 とオフ時間 T_2 との和 $T_1 + T_2$ (右辺分母)は電圧信号Yのパルス周期を表している。すなわち、出力電圧Zを制御するためには、電圧信号Yにおけるパルス幅とパルス周期との比(以下、デューティ比と呼ぶ)を制御すればよいことが分かる。

上記構成から成る電圧変換回路では、加算回路907からデューティ比制御回路901の比較回路に入力される信号NBの値を変えることによってオン時間 T_1 (パルス幅)を変化させ、バッファ回路902から出力される電圧信号Yのデューティ比を制御している。これにより、内部回路に供給する駆動電圧(出力電圧Z)を制御することができる。(以下では、このようなデューティ比制御方式をパルス幅可変方式と呼ぶ。)また、信号NBを最適値に設定する手段としては、クリティカルパス回路904の動作速度を検出する方法が採用されている。

クリティカルパス回路904は、出力電圧Zが供給される内部回路の中でも信号の遅延が最も大きいと考えられるパス回路を複製した回路である。前述した通り、クリティカルパス回路904の電源電圧としては、フィルタ回路903の出力電圧Zが印加されている。すなわち、電源供給の対象となる内部回路の駆動電圧が、クリティカルパス回路904によってモニタされることになる。なお、ここでは、クリティカルパス回路904の動作可能電圧が内部回路の動作可能電圧であると仮定している。

フィルタ回路903の出力電圧Zによってクリティカルパス回路904が動作可能である場合、クリティカルパス回路904は正否判定回路906に対して所定のデータを送出する。このとき、正否判定回路906にはクリティカルパス回路904から送出されたデータが直接入力されるだけでなく、遅延回路905に

よって該データを所定時間だけ遅延させた遅延データも入力される。

正否判定回路 906 に対してクリティカルパス回路 904 から直接データが入力されない場合、正否判定回路 906 は対象としている内部回路が正常に動作していない、すなわち内部回路の駆動電圧（フィルタ回路 903 の出力電圧 Z）が低過ぎると判断し、駆動電圧を上げるために信号 NB の値を 1 だけ増加する信号 S1 を加算器 907 に送出する。

また、正否判定回路 906 に対して遅延回路 905 を介した遅延データが入力された場合、正否判定回路 906 は対象としている内部回路に遅延を与えても正常に動作している、すなわち内部回路の駆動電圧は高過ぎると判断し、駆動電圧を下げるために信号 NB の値を 1 だけ減少させる信号 S2 を加算器 907 に送出する。

また、正否判定回路 906 に対してクリティカルパス回路 904 から直接データは入力されるが、遅延回路 905 を介した遅延データは入力されない場合、正否判定回路 906 は対象としている内部回路には最適な駆動電圧が供給されていると判断して、加算器 907 には信号 S1、S2 を送出しない。

正否判定回路 906 から信号 S1 が送出された場合、加算器 907 は信号 NB の現在値に 1 を加えた値をデューティ比制御回路 901 に供給する。一方、正否判定回路 906 から信号 S2 が送出された場合、加算器 907 は信号 NB の現在値に -1 を加えた値をデューティ比制御回路 901 に供給する。

このように、上記構成から成る電圧変換回路においては、クリティカルパス回路 904、遅延回路 905、及び正否判定回路 906 によって電源供給の対象としている内部回路の動作速度を検出し、検出した動作速度が速過ぎる場合には内部回路の駆動電圧（出力電圧 Z）を下げるように、逆に検出した動作速度が遅過ぎる場合には内部回路の駆動電圧（出力電圧 Z）を上げるように、電圧信号 Y のデューティ比を制御している。

確かに、上記構成から成る電圧変換回路であれば、集積回路を構成する内部回路の動作状況を検知して該内部回路の動作に必要な最低限の駆動電圧を供給できるので、集積回路の低消費電力化に貢献することができる。また、出力電圧 Z の可変範囲も広いため、一般的な集積回路の降圧回路として有益であることが分かる。

ところで、内部回路のさらなる低消費電力化を図るためには、内部回路を構成するデバイス自体の電源電圧を低減することが極めて有効である。例えば、電源電圧 0.5 V で駆動するデバイスを用いた内部回路の消費電力は、電源電圧 3 V で駆動するデバイスを用いた内部回路の消費電力に比べて $1/36$ となる。このように、内部回路の電源電圧や負荷電流を低減することによって、さらなる低消費電力化を実現することができる。

一方、内部回路の消費電力低減に伴って、集積回路全体の消費電力に占める電圧変換回路の消費電力比率は相対的に増大する。そのため、集積回路全体のさらなる低消費電力化を実現するためには、電圧変換回路自体の消費電力も低減する必要がある。

ここで、上記構成から成る電圧変換回路自体の消費電力を低減する手段としては、出力電圧 Z の可変範囲を制限することで制御の簡略化を図り、デューティ比制御回路 901 や加算器 907 等の規模を縮小することが考えられる。

例えば、3 V 程度の外部電源電圧が供給される電圧変換回路から 0.5 V 駆動の内部回路に対して電源供給を行う場合、入力電圧に近い高電圧を内部回路に対して出力する必要はない。また、内部回路を構成するデバイスには最適な動作電圧が存在し、プロセスばらつきや動作環境の変化に対応するとしても、出力電圧 Z の可変範囲は動作電圧近傍に制限することができる。このように、出力電圧 Z の可変範囲を制限すれば、電圧変換回路の回路規模を縮小して消費電力の低減を図ることができる。

しかしながら、加算回路 907 から比較回路に入力される信号 NB の値を変えることによってオン時間 $T1$ (パルス幅) を変化させ、バッファ回路 902 から出力される電圧信号 Y のデューティ比を制御するパルス幅可変方式の電圧変換回路では、たとえ出力電圧 Z の可変範囲を制限したとしても、高速で動作するカウンタ回路を設ける必要がある。

例えば、上記した従来構成の電圧変換回路において、カウンタ回路は電圧信号 Y の 2^n 倍 ($n=6$ の場合は 64 倍) の周波数で動作する。このように高速で動作するカウンタ回路は、電圧変換回路自体の消費電力増加を招いてしまうが、出力電圧 Z を高精度に変化させるためには、カウンタ回路の動作速度を高速に維持せ

ざるを得ない。

従って、従来構成から成るパルス幅可変方式の電圧変換回路では、低電圧駆動が可能な内部回路に対する出力電圧 Z の可変範囲を制限したとしても、カウンタ回路の動作速度は高速に維持する必要があるため、電圧変換回路自体の消費電力を十分に低減することができなかった。

発明の開示

本発明は、上記の問題点に鑑み、出力電圧の低電圧化に適した電圧変換回路、及びこれを備えた半導体集積回路装置を提供することを目的とする。

上記目的を達成するために、本発明に係る電圧変換回路は、パルス幅が一定で、パルス周期が可変であるパルス信号を生成するパルス信号生成回路を有し、前記パルス信号生成回路で生成されるパルス信号のパルス幅とパルス周期との比に基づいて出力電圧を決定する構成としている。

図面の簡単な説明

図 1 は、本発明に係る電圧変換回路の第 1 実施形態を示す概略構成図である。

図 2 は、基準パルス信号生成回路 101 及び第 1 遅延回路 102 の一構成例を示す概略構成図である。

図 3 は、選択回路部 109 の一構成例を示す概略構成図である。

図 4 A ～ 図 4 D は、第 1 遅延回路 102 における遅延動作例を示す信号波形図である。

図 5 は、本発明に係る電圧変換回路の第 2 実施形態を示す概略構成図である。

図 6 は、基準パルス信号生成回路 201、第 1 遅延回路 202、及び第 2 遅延回路 210 の一構成例を示す概略構成図である。

図 7 は、選択回路部 209、第 1 選択部 214、及び第 2 選択部 216 の一構成例を示す概略構成図である。

図 8 は、スイッチタイミング制御回路 104 の一構成例を示す概略構成図である。

図 9 は、スイッチタイミング制御回路 104 における各信号波形を示すタイミ

ングチャートである。

図 10 は、スイッチタイミング制御回路 104 の別構成例を示す概略構成図である。

図 11 A、図 11 B は、スイッチタイミング制御回路 104 における各信号波形を示すタイミングチャートである。

図 12 は、遅延時間制御回路 203 の一構成例を示す概略構成図である。

図 13 は、レプリカ回路 501 の一構成例を示す概略構成図である。

図 14 は、動作状態検出パルス生成回路 511 における各信号波形を示すタイミングチャートである。

図 15 は、レプリカ回路 501 における各信号波形を示すタイミングチャートである。

図 16 は、レプリカ回路 501 における動作状態信号 LA、LB、LC と内部回路の動作状態との関係を示す表である。

図 17 は、選択信号生成回路 502 の一構成例を示す概略構成図である。

図 18 は、係数生成回路 601 の一構成例を示す概略構成図である。

図 19 は、フラグ信号生成回路 607 に実装する論理回路の真理値表である。

図 20 は、係数選択信号生成回路 608 に実装される論理回路の真理値表である。

図 21 A、図 21 B は、係数 COMP に対する補正動作の一例を示す図である。

図 22 は、第 2 選択信号 SH、SQ と、遅延信号 SHD、SQD と、係数 COMP との関係を示した表である。

図 23 は、本発明の電圧変換回路の第 3 実施形態を示す概略構成図である。

図 24 は、従来の電圧変換回路の一例を示す概略構成図である。

発明を実施するための最良の形態

本発明に係る電圧変換回路として、ここでは半導体集積回路装置を構成する内部回路に対して駆動電圧を供給する電圧変換回路（降圧回路）を例に挙げて説明を行う。図 1 は本発明に係る電圧変換回路の第 1 実施形態を示す概略構成図である。本図に示す電圧変換回路は、出力パルス信号生成回路 100 と、スイッチタ

イミシング制御回路 104 と、スイッチ回路 105 と、フィルタ回路 106 と、を有して成る。

出力パルス信号生成回路 100 は、パルス幅が一定で、パルス周期が可変である出力パルス信号 DOUT を生成し、該出力パルス信号 DOUT をスイッチタイミング制御回路 104 に送出する回路である。なお、出力パルス信号生成回路 100 の内部構成及び動作については、後ほど詳細に説明を行う。

スイッチタイミング制御回路 104 は、入力された出力パルス信号 DOUT から第 1、第 2 制御信号 $\phi 1$ 、 $\phi 2$ を生成し、該第 1、第 2 制御信号 $\phi 1$ 、 $\phi 2$ を、スイッチ回路 105 を構成する PMOS トランジスタ M1 及び NMOS トランジスタ M2 の各ゲートに送出する回路である。すなわち、スイッチタイミング制御回路 104 により、PMOS トランジスタ M1 及び NMOS トランジスタ M2 のオン／オフ制御が行われる。なお、スイッチタイミング制御回路 104 の内部構成及び動作についても、後ほど詳細に説明を行う。

スイッチ回路 105 を構成する PMOS トランジスタ M1 のソースには第 1 電源電圧（外部電源電圧 VDD）が印加されており、NMOS トランジスタ M2 のソースには第 2 電源電圧（接地電圧 GND）が印加されている。また、両トランジスタのドレインは互いに接続されており、その接続ノードはスイッチ回路 105 の出力端とされている。従って、PMOS トランジスタ M1 及び NMOS トランジスタ M2 のオン／オフ制御を行うことにより、スイッチ回路 105 の出力端からはパルス状の電圧信号が送出される。

フィルタ回路 106 は、インダクタンス L1 とキャパシタ C1 から成る低域通過フィルタである。インダクタンス L1 の一端はスイッチ回路 105 の出力端に接続されており、他端はキャパシタ C1 を介してグラウンドに接続されている。また、インダクタンス L1 とキャパシタ C1 との接続ノードはフィルタ回路 106 の出力端として、同一基板上に形成された内部回路（図示せず）などに接続されている。

スイッチ回路 105 から送出されるパルス状の電圧信号は、フィルタ回路 106 で平滑化されて出力電圧 VINT となる。この出力電圧 VINT は、内部回路（図示せず）に対して供給され、該内部回路の駆動電圧として利用される。なお、

本図では、フィルタ回路 106 として LC 回路を用いた例を挙げたが、RC 回路等どのような構成としてもよい。

ここで、出力電圧 V_{INT} の大きさは、スイッチ回路 105 から送出されるパルス状電圧信号のデューティ比（パルス幅／パルス周期）、すなわち第 1、第 2 制御信号 $\phi 1$ 、 $\phi 2$ のデューティ比を変化させることによって制御することができる。

本実施形態の電圧変換回路では、出力パルス信号生成回路 100 によって、パルス幅が一定で、パルス周期が可変である出力パルス信号 $DOUT$ を生成し、その出力パルス信号 $DOUT$ のパルス周期を適宜変化させることで、第 1、第 2 制御信号 $\phi 1$ 、 $\phi 2$ のデューティ比を制御している。これにより、内部回路に供給する駆動電圧（出力電圧 V_{INT} ）を制御することができる。（以下では、このようなデューティ比制御方式をパルス周期可変方式と呼ぶ。）

続いて、上記した出力パルス信号生成回路 100 の内部構成及び動作について詳細に説明する。本図に示すように、出力パルス信号生成回路 100 は、基準パルス信号生成回路 101、第 1 遅延回路 102、及び遅延時間制御回路 103 から構成されている。

基準パルス信号生成回路 101 は、パルス幅一定の基準パルス信号を生成して第 1 遅延回路 102 に送出する回路である。第 1 遅延回路 102 は、基準パルス信号から所定時間だけ遅れた遅延パルス信号を生成する回路であり、基本遅延回路部 107、追加遅延回路部 108、及び選択回路部 109 から構成されている。遅延時間制御回路 103 は、選択回路部 109 に対して選択信号を送出し、所望の出力電圧 V_{INT} が得られるように第 1 遅延回路 102 における遅延時間を設定する回路である。なお、遅延時間制御回路 103 の内部構成及び動作については、後ほど詳細に説明を行う。

図 2 は基準パルス信号生成回路 101 及び第 1 遅延回路 102 の一構成例を示す概略構成図である。まず、第 1 遅延回路 102 の内部構成について説明する。第 1 遅延回路 102 を構成する基本遅延回路部 107 は、基準パルス信号生成回路 101 から入力される基準パルス信号に対して所定単位時間の N 倍の遅延を与える回路である。また、追加遅延回路部 108 は、基本遅延回路部 107 の最終

出力信号D 0 に対して所定単位時間のM倍の遅延を与える回路である。

なお、本図では基本遅延回路部 1 0 7 及び追加遅延回路部 1 0 8 を構成する単位時間遅延素子として、内部クロック信号 I C L K のポジティブエッジをトリガとするDフリップフロップ回路を用いた例を挙げて説明したが、前記単位時間遅延素子はDフリップフロップ回路に限らず、どのようなフリップフロップ回路或いは遅延素子を用いても構わない。

基本遅延回路部 1 0 7 は、5つのDフリップフロップ回路が直列接続されたシフトレジスタ構造（遅延段数 $N = 5$ ）から成っている。従って、フリップフロップ回路の各出力端子からは、基準パルス信号に対して所定単位時間の1倍～5倍の遅延が与えられた出力信号DM 4～DM 1 及びD 0 がそれぞれ送出される。なお、遅延段数 N は1以上であればよい。

また、追加遅延回路部 1 0 8 も5つのDフリップフロップ回路が直列接続されたシフトレジスタ構造（遅延段数 $M = 5$ ）から成っている。従って、フリップフロップ回路の各出力端子からは、出力信号D 0 に対して所定単位時間の1倍～5倍の遅延が与えられた出力信号D 1～D 5 がそれぞれ送出される。なお、遅延段数 M は1以上であればよい。

なお、基本遅延回路部 1 0 7 及び追加遅延回路部 1 0 8 を構成するフリップフロップ回路の各クロック端子には、いずれも同一の内部クロック信号 I C L K が入力されているが、この内部クロック信号 I C L K としては、集積回路の外部から供給された外部クロック信号や、該外部クロック信号を分周することによって生成したクロック信号、あるいは集積回路の内部に発振回路を設けることで生成したクロック信号など、どのような手段で生成されたクロック信号を用いても構わない。

このように、基本遅延回路部 1 0 7 及び追加遅延回路部 1 0 8 をフリップフロップ回路によって構成することにより、第1遅延回路 1 0 2 を容易に構成することができる。

選択回路部 1 0 9 は、遅延時間制御回路 1 0 3 から与えられる選択信号に基づいて、基本遅延回路部 1 0 7 の最終出力信号D 0 と追加遅延回路部 1 0 8 の各出力信号D 1～D 5 のうち、いずれか1つの出力信号を遅延パルス信号として選択

出力する回路である。

図 3 は選択回路部 109 の一構成例を示す概略構成図である。本図に示すように、選択回路部 109 は 2 入力端子を有する 6 つの AND 回路と、多入力端子を有する OR 回路から構成されている。

各 AND 回路の入力端子には、基本遅延回路部 107 の最終出力信号 D0 と追加遅延回路部 108 の各出力信号 D1 ～ D5 がそれぞれ入力されている。また、各 AND 回路の他入力端子には、遅延時間制御回路 103 から与えられる選択信号 S0 ～ S5 がそれぞれ入力されている。

例えば、出力信号 D0 を遅延パルス信号として選択する場合には、選択信号 S0 を H レベルとし、その他の選択信号 S1 ～ S5 を全て L レベルとすればよい。なお、追加遅延回路部 108 にパルス信号が流れている時間帯には、選択信号 S0 ～ S5 が変化しないように制御されている。

一方、OR 回路の入力端子には、各 AND 回路の出力信号がそれぞれ入力されており、それらの論理和が選択回路部 109 によって選択された遅延パルス信号となる。なお、遅延パルス信号は、出力パルス信号 DOUT としてスイッチタイミング制御回路 104 に送出される一方で、基準パルス信号生成回路 101 にも送出されている。

続いて、図 2 に戻って基準パルス信号生成回路 101 の内部構成についての説明を行う。基準パルス信号生成回路 101 は、多入力端子を有する NOR 回路と、2 入力端子を有する OR 回路から構成されている。NOR 回路の各入力端子には第 1 遅延回路 102 の各出力信号 DM4 ～ DM1 及び D0 ～ D5 がそれぞれ入力されており、電圧変換回路の起動時に基準パルス信号の初期パルスを立ち上げる機能を有している。

また、OR 回路の入力端子には NOR 回路の出力信号が入力されており、他入力端子には選択回路部 109 によって選択された遅延パルス信号が入力されている。なお、OR 回路の出力信号は基準パルス信号として第 1 遅延回路 102 に送出される。

続いて、上記構成から成る出力パルス生成回路 100 の動作について説明する。電圧変換回路の起動時、第 1 遅延回路 102 を構成する各フリップフロップ回路

は、リセット信号（図示せず）によって一旦リセットされるので、それらの出力信号DM4～DM1及びD0～D5は全てLレベルとなり、出力信号DM4～DM1及びD0～D5の論理和否定であるNOR回路の出力信号はHレベルとなる。

これにより、NOR回路の出力信号と、選択回路部109から送出される遅延パルス信号の論理和であるOR回路の出力信号もHレベルとなるため、第1遅延回路102に入力される基準パルス信号の初期パルスが立ち上がる。

一方、電圧変換回路の動作時には、NOR回路の多入力端子に入力される出力信号DM4～DM1及びD0～D5のいずれかがHレベルとなるため、NOR回路の出力信号は常にLレベルとなる。従って、OR回路は選択回路部109から戻ってくる遅延パルス信号を、そのまま基準パルス信号として第1遅延回路102に送出することになる。

上記動作により、基準パルス信号生成回路101では、第1遅延回路102に供給すべきパルス幅一定の基準パルス信号が生成される。なお、前記基準パルス信号と同等のパルス信号が生成可能であれば、基準パルス信号生成回路101をどのような回路構成としても構わない。

次に、第1遅延回路102における遅延動作について説明する。図4A～図4Dは第1遅延回路102における遅延動作の一例を示す信号波形図であり、第1遅延回路102から送出される出力パルス信号DOUTの一例を示している。なお、ここでは出力パルス信号DOUTのパルス幅を1単位時間とし、第1遅延回路102を構成する各フリップフロップ回路における単位遅延時間も、前記パルス幅に合わせて1単位時間としている。

まず、図4Aには、基本遅延回路部107の出力信号D0を遅延パルス信号、すなわち出力パルス信号DOUTとして選択した場合の信号波形図が示されている。この場合、第1遅延回路102に入力される基準パルス信号の初期パルスP0には、基本遅延回路部107を構成する5つのフリップフロップ回路によって5単位時間の遅延が与えられる。従って、出力パルス信号DOUTのパルスとしては、初期パルスP0に対して5単位時間の遅延が与えられたパルスP1が現れる。

このパルスP1は再び基準パルス信号生成回路101に送出され、基準パルス

信号として第1遅延回路102に再入力される。以後同様に、第1遅延回路102に入力されるパルスには5単位時間の遅延が与えられ、パルスP2、P3が順々に立ち上がる。従って、出力パルス信号DOUTのパルス周期は5単位時間となる。ここで、出力パルス信号DOUTの各パルス幅は1単位時間であるので、出力パルス信号DOUTのデューティ比は1/5となる。

また、図4Bには、追加遅延回路部108の出力信号D1を出力パルス信号DOUTとして選択した場合の信号波形図が示されている。この場合、第1遅延回路102に入力される基準パルス信号の初期パルスP0には、基本遅延回路部107を構成する5つのフリップフロップ回路によって5単位時間の遅延が与えられた後に、追加遅延回路部108を構成する初段のフリップフロップ回路によって1単位時間の遅延が与えられる。従って、出力パルス信号DOUTのパルスとしては、初期パルスP0に対して(5+1)単位時間の遅延が与えられたパルスP1が現れる。

このパルスP1は再び基準パルス信号生成回路101に送出され、基準パルス信号として第1遅延回路102に再入力される。以後同様に、第1遅延回路102に入力されるパルスには(5+1)単位時間の遅延が与えられ、パルスP2、P3が順々に立ち上がる。従って、出力パルス信号DOUTのパルス周期は6単位時間となる。ここで、出力パルス信号DOUTの各パルス幅は1単位時間であるので、出力パルス信号DOUTのデューティ比は1/6となる。

また、図4Cには、追加遅延回路部108の出力信号D2を出力パルス信号DOUTとして選択した場合の信号波形図が示されている。この場合、出力パルス信号DOUTのパルス周期は7となるので、出力パルス信号DOUTのデューティ比は1/7となる。同様に、出力パルス信号DOUTとして追加遅延回路部108の出力信号D3、D4、D5をそれぞれ選択した場合、各出力パルス信号DOUTのデューティ比はそれぞれ1/8、1/9、1/10となる。

より一般的な例として、図4Dには、基本遅延回路部107の遅延段数をN段とし、追加遅延回路部108のM段目の出力信号を出力パルス信号DOUTとして選択した場合の信号波形図が示されている。この場合、出力パルス信号DOUTのパルス周期は(N+M)単位時間となるので、出力パルス信号DOUTのデ

ューティ比は $1/(N+M)$ となる。

このとき、スイッチタイミング制御回路 104 において生成される第 1、第 2 制御信号 $\phi 1$ 、 $\phi 2$ が、基本的に出力パルス信号 DOUT を論理否定したパルス信号である場合、電圧変換回路から送出される出力電圧 VINT の大きさは、次の (2) 式によって求めることができる。

$$V_{INT} = \frac{1}{N+M} \times V_{DD} \dots (2)$$

上記した (2) 式より、本実施形態の電圧変換回路に供給される外部電源電圧 VDD を 3 V とすると、出力パルス信号 DOUT として基本遅延回路部 107 の出力信号 D0 が選択された場合の出力電圧 VINT は 0.6 V と算出することができる。同様に、出力パルス信号 DOUT として追加遅延回路部 108 の各出力信号 D1 ~ D5 が選択された場合の出力電圧 VINT は、順に 0.5 V、0.43 V、0.38 V、0.33 V、0.3 V と算出することができる。従って、本実施形態の電圧変換回路における出力電圧 VINT の可変範囲は 0.3 V ~ 0.6 V であり、その単位可変幅は平均 60 mV であることが分かる。

なお、出力電圧 VINT の可変上限値は、基本遅延回路部 107 の遅延時間（第 1 遅延回路 102 の最短遅延時間）によって設定することができる。また、出力電圧 VINT の可変下限値は、追加遅延回路部 108 の最終段遅延時間（第 1 遅延回路 102 の最長遅延時間）によって設定することができる。一方、出力電圧 VINT の単位可変幅は、追加遅延回路部 108 を構成するフリップフロップ回路の各単位遅延時間によって設定することができる。

このように、パルス周期可変方式を採用した本実施形態の電圧変換回路であれば、従来のパルス幅可変方式を採用した電圧変換回路のように高速で動作するカウンタ回路等の制御回路を用いることなく、出力電圧 VINT の制御を行うことが可能である。よって、従来に比べて電圧変換回路の回路規模縮小や動作周波数低減を図ることができるので、電圧変換回路自体の消費電力を大幅に低減することが可能となり、集積回路全体の低消費電力化に貢献することができる。

また、本実施形態の電圧変換回路は、出力電圧 VINT をその可変範囲内において離散的に制御する構成である。このような構成とすることにより、電圧変換

回路の制御回路（本実施形態の場合、遅延時間制御回路 103 や選択回路部 109 等）における制御状態数（すなわち、選択可能な出力電圧値）が削減されるため、制御回路の回路規模を縮小して消費電力の低減を図ることができる。

なお、上記に説明した本実施形態の電圧変換回路においては、3V の外部電源電圧 V_{DD} から 0.5V 駆動の内部回路に対する出力電圧 V_{INT} を生成することを想定した構成例が示されている。

前述した通り、内部回路を構成するデバイスには最適な動作電圧（この場合は 0.5V）が存在し、プロセスばらつきや動作環境の変化に対応するとしても、0.5V 駆動の内部回路に対して外部電源電圧 V_{DD} に近い高電圧（3V 付近）を出力する必要があることはない。従って、電圧変換を構成する制御回路の回路規模縮小の観点から、出力電圧 V_{INT} の可変上限値は、できるだけ低く抑えるように構成することが望ましい。

例えば、出力電圧 V_{INT} の可変上限値を外部電源電圧 V_{DD} の $1/2$ 以下に設定すれば、電圧変換回路の制御回路（本実施形態の場合、遅延時間制御回路 103 や選択回路部 109 等）における制御状態数を従来の半分以上に削減することが可能である。このように、出力電圧 V_{INT} の可変上限値を低く抑えることにより、制御回路の回路規模を縮小して消費電力の低減を図ることができる。

また、0.5V 駆動の内部回路においては、入力される電源電圧が 0.4V 以下になると動作速度の劣化が大きくなる一方で、該電源電圧が 0.6V 以上になると動作速度の飽和が生じる。このことから、内部回路に対して供給される出力電圧 V_{INT} の可変範囲は、プロセスばらつきや動作環境の変化に対応するとしても、最適動作電圧（出力電圧 V_{INT} の可変中心値）の $\pm 20\%$ 程度に制限すればよいことが分かる。

上記の例では出力電圧 V_{INT} の可変範囲が 0.2V となり、外部電源電圧 V_{DD} の 7% 弱となる。このように、出力電圧 V_{INT} の可変幅を狭く制限することにより、制御回路の回路規模を縮小して消費電力の低減を図ることができる。

また、出力電圧 V_{INT} の可変上限値を低く抑えること、或いは可変幅を狭く制限することは、電圧変換回路自体の消費電力低減に貢献するだけでなく、パルス周期可変方式のデメリットである出力電圧 V_{INT} の変動（リップル）を低減

する効果も有している。

一般に、出力電圧 V_{INT} に生じる電圧変動をリップルと呼ぶが、ここでは便宜的に出力電圧 V_{INT} に生じる電圧変動のピーク・トゥ・ピーク値をリップル電圧 ΔV と呼ぶことにする。平滑化手段として LC フィルタ回路を用いた場合のリップル電圧 ΔV は、次の (3) 式によって求めることができる。

$$\Delta V = \frac{(1-D) \cdot T^2}{8 \cdot L \cdot C} \times V_{INT} \cdots (3)$$

なお、上記した (3) 式中では、LC フィルタ回路に入力されるパルス状電圧信号のデューティ比を D 、パルス周期を T としている。また、LC フィルタ回路のインダクタンスを L 、キャパシタを C としている。

上式より、リップル電圧 ΔV の大きさは、LC フィルタ回路に入力されるパルス状電圧信号のパルス周期 T の 2 乗に比例することが分かる。ここで、パルス幅可変方式を採用した電圧変換回路ではパルス周期 T が一定であるため、出力電圧 V_{INT} に生じるリップル電圧 ΔV はデューティ比 D のみに依存する。一方、パルス周期可変方式を採用した電圧変換回路ではパルス周期 T が可変であるため、出力電圧 V_{INT} に生じるリップル電圧 ΔV はデューティ比 D 及びパルス周期 T に依存する。

上記したように、リップル電圧 ΔV はパルス周期 T の 2 乗に比例するため、パルス周期 T が長くなるとリップル電圧 ΔV は急激に大きくなる傾向を示す。パルス周期可変方式では出力電圧 V_{INT} を下げるためにパルス周期 T を長くする必要があるので、低い出力電圧 V_{INT} を得ようとした場合にリップル電圧 ΔV が大きくなってしまう。

また、パルス周期可変方式を採用した電圧変換回路において、出力電圧 V_{INT} の可変範囲を不必要に広く設定すると、出力電圧 V_{INT} を可変上限値とした時のパルス周期と、可変下限値とした時のパルス周期との間に大きな差が生じてしまう。そのため、出力電圧 V_{INT} を変化させる際に生じるリップル電圧 ΔV の変動が大きくなり、出力電圧 V_{INT} を精度良く制御することができなくなる。

それに対して、本実施形態の電圧変換回路は、出力電圧 V_{INT} の可変上限値を低く抑えて可変幅を狭く制限した上で、パルス周期可変方式を用いる構成であ

る。このような構成とすることにより、出力電圧 V_{INT} を可変上限値とした時のパルス周期と、可変下限値とした時のパルス周期との差を小さく抑えることができるので、リップル電圧 ΔV の変動を実用上問題のないレベルに抑えることが可能となる。また、このような構成とすることにより、パルス周期 T の可変範囲全体をより周期が短くなる方向にシフトできるので、低い出力電圧 V_{INT} を得ようとした場合のリップル電圧 ΔV を小さく抑えることが可能となる。

次に、本発明に係る電圧変換回路の第2実施形態について説明する。図5は本発明に係る電圧変換回路の第2実施形態を示す概略構成図である。本図に示すように、本実施形態の電圧変換回路は、基本的に第1実施形態の電圧変換回路と同様の構成（図1参照）から成る。そこで、第1実施形態と同様の構成及び動作を有する部分については図1と同一の符号を付すことで説明を省略し、以下では本実施形態の特徴部分である出力パルス信号生成回路200について重点を置いた説明を行うことにする。

出力パルス信号生成回路200はパルス幅が一定で、パルス周期が可変である出力パルス信号 $DOUT$ を生成し、その出力パルス信号 $DOUT$ をスイッチタイミング制御回路104に送出する回路である。本実施形態における出力パルス信号生成回路200は、基準パルス信号生成回路201、第1遅延回路202、遅延時間制御回路203に加えて、第2遅延回路210を有している。

基準パルス信号生成回路201は、パルス幅一定の基準パルス信号を生成して第1遅延回路202に送出する回路である。第1遅延回路202は、基準パルス信号を所定時間だけ遅らせた遅延パルス信号を生成する回路であり、基本遅延回路部207、追加遅延回路部208、及び選択回路部209から成る。

第2遅延回路210は、入力されるパルス信号と、該パルス信号を所定時間だけ遅らせた遅延パルス信号のいずれか一方を選択出力する任意遅延回路部を複数段直列接続して成り、第1遅延回路202の出力信号をさらに所定時間だけ遅らせた遅延パルス信号を生成する回路である。なお、本図では複数段設けられた前記任意遅延回路部のうち、初段（1段目）の任意遅延回路部211と最終段（ n 段目）の任意遅延回路部212のみを示している。初段の任意遅延回路部211は第1遅延素子と第1選択部から成り、最終段の任意遅延回路部212は第 n 遅

延素子と第 n 選択部から成る。

遅延時間制御回路 203 は、第 1 遅延回路 202 の選択回路部 209、及び第 2 遅延回路 210 の第 1 ～ 第 n 選択部に対してそれぞれ選択信号を送出し、所望の出力電圧 V_{INT} が得られるように第 1、第 2 遅延回路 202、210 における遅延時間の設定を行う回路である。なお、遅延時間制御回路 203 の内部構成及び動作については、後ほど詳細な説明を行う。

図 6 は基準パルス信号生成回路 201、第 1 遅延回路 202、及び第 2 遅延回路 210 の一構成例を示す概略構成図である。本図に示すように、基準パルス信号生成回路 201 は、多入力端子を有する NOR 回路と、2 入力端子を有する OR 回路から構成されており、その構成及び動作は前述の第 1 実施形態（図 2 参照）と同様である。そこで、以下では基準パルス信号生成回路 201 についての説明を省略し、第 1 遅延回路 202 及び第 2 遅延回路 210 について重点を置いた説明を行う。

まず、第 1 遅延回路 202 について説明する。第 1 遅延回路 202 を構成する基本遅延回路部 207 は、基準パルス信号生成回路 201 から入力される基準パルス信号に対して所定単位時間の N 倍の遅延を与える回路である。また、追加遅延回路部 208 は基本遅延回路部 207 の最終出力信号 D_0 に対して所定単位時間の M 倍の遅延を与える回路である。

なお、本実施形態では基本遅延回路部 207 及び追加遅延回路部 208 を構成する単位時間遅延素子として、内部クロック信号 $ICLK$ のポジティブエッジをトリガとする D フリップフロップ回路を用いている。このように、基本遅延回路部 207 及び追加遅延回路部 208 をフリップフロップ回路によって構成することにより、第 1 遅延回路 202 を容易に構成することができる。もちろん、前記単位時間遅延素子は D フリップフロップ回路に限らず、どのようなフリップフロップ回路或いは遅延素子を用いても構わない。

基本遅延回路部 207 は、5 つの D フリップフロップ回路が直列接続されたシフトレジスタ構造（遅延段数 $N = 5$ ）から成っている。従って、フリップフロップ回路の各出力端子からは、基準パルス信号に対して所定単位時間の 1 倍～5 倍の遅延が与えられた出力信号 $DM_4 \sim DM_1$ 及び D_0 がそれぞれ送出される。な

お、遅延段数 N は1以上であればよい。

また、追加遅延回路部208は2つのDフリップフロップ回路が直列接続されたシフトレジスタ構造（遅延段数 $M=2$ ）から成っている。従って、フリップフロップ回路の各出力端子からは、出力信号 D_0 に対して所定単位時間の1倍或いは2倍の遅延が与えられた出力信号 D_1 、 D_2 がそれぞれ送出される。なお、遅延段数 M は1以上であればよい。

選択回路部209は、遅延時間制御回路203から与えられる第1選択信号 S_0 、 S_1 、 S_2 に基づいて、基本遅延回路部207の最終出力信号 D_0 と追加遅延回路部208の各出力信号 D_1 、 D_2 のうち、いずれか1つの出力信号を遅延パルス信号として選択出力する回路である。なお、選択回路部209によって選択された遅延パルス信号は、第2遅延回路210と基準パルス信号生成回路201にそれぞれ送出される。

次に、第2遅延回路210について説明する。前述した通り、第2遅延回路210は、 n 段（本図では $n=2$ ）の任意遅延回路部211、212が直列接続されて成り、その入力端は第1遅延回路202の出力端（すなわち、選択回路部209の出力端）に接続されている。また、初段（1段目）の任意遅延回路部211は、第1遅延素子213と第1選択部214から成り、最終段（2段目）の任意遅延回路部212は、第2遅延素子215と第2選択部216から成る。

初段の任意遅延回路部211を構成する第1遅延素子213は、第1遅延回路202から出力される遅延パルス信号に対して、さらに所定時間の遅延を与える回路である。なお、第1遅延素子213の遅延時間は、外部からの制御信号によって設定してもよいし、内部で予め設定しておいてもよい。

本実施形態の電圧変換回路では、第1遅延素子213として、内部クロック信号 $ICLK$ のネガティブエッジをトリガとするDNフリップフロップ回路を用いている。従って、第1遅延素子213からは、選択回路部209によって選択された出力信号 D_0 、 D_1 、 D_2 のいずれかに対して、内部クロック信号 $ICLK$ の半周期分（所定単位時間の0.5倍）の遅延が与えられた出力信号 $D_{0,1/2}$ 、 $D_{1,1/2}$ 、 $D_{2,1/2}$ のいずれかが第1選択部214に送出される。

初段の任意遅延回路部211を構成する第1選択部214は、遅延時間制御回

路 203 から与えられる第 2 選択信号 SH に基づいて、選択回路部 209 の出力信号と第 1 遅延素子 213 の出力信号のうち、いずれか一方を選択出力する回路である。従って、第 1 選択部 214 からは、出力信号 D_0 、 $D_{0\frac{1}{2}}$ 、 D_1 、 $D_{1\frac{1}{2}}$ 、 D_2 、 $D_{2\frac{1}{2}}$ のいずれかが次段の任意遅延回路部 212 に送出される。

なお、第 1 遅延回路を構成する各フリップフロップ回路、及び第 1 遅延素子 213 の各クロック端子には、いずれも同一の内部クロック信号 ICLK が入力されているが、この内部クロック信号 ICLK としては、集積回路の外部から供給された外部クロック信号や、該外部クロック信号を分周することによって生成したクロック信号、或いは集積回路の内部に発振回路を設けることで生成したクロック信号など、どのような手段で生成されたクロック信号を用いても構わない。また、第 1 遅延素子 213 は DN フリップフロップ回路に限らず、どのようなフリップフロップ回路或いは遅延素子を用いても構わない。

一方、2 段目の任意遅延回路部 212 を構成する第 2 遅延素子 215 は、初段の任意遅延回路部 211 から出力される遅延パルス信号に対して、さらに所定時間の遅延を与える回路である。なお、第 2 遅延素子 215 の遅延時間は、外部からの制御信号によって設定してもよいし、内部で予め設定しておいてもよい。

本実施形態の電圧変換回路では、第 2 遅延素子 215 として、内部クロック信号 ICLK2 のポジティブエッジをトリガとする D フリップフロップ回路を用いている。なお、内部クロック信号 ICLK2 は、前述した内部クロック信号 ICLK の倍速クロック信号であり、その周波数は内部クロック信号 ICLK の 2 倍である。従って、第 2 遅延素子 215 からは、第 1 選択部 214 によって選択された出力信号 D_0 、 $D_{0\frac{1}{2}}$ 、 D_1 、 $D_{1\frac{1}{2}}$ 、 D_2 、 $D_{2\frac{1}{2}}$ のいずれかに対し、内部クロック信号 ICLK の $\frac{1}{4}$ 周期分（所定単位時間の 0.25 倍）の遅延が与えられた出力信号 $D_{0\frac{1}{4}}$ 、 $D_{0\frac{3}{4}}$ 、 $D_{1\frac{1}{4}}$ 、 $D_{1\frac{3}{4}}$ 、 $D_{2\frac{1}{4}}$ 、 $D_{2\frac{3}{4}}$ のいずれかが第 2 選択部 216 に送出される。

2 段目の任意遅延回路部 212 を構成する第 2 選択部 216 は、遅延時間制御回路 203 から与えられる第 2 選択信号 SQ に基づいて、第 1 選択部 214 の出力信号と第 2 遅延素子 215 の出力信号のうち、いずれか一方を選択出力する回路である。従って、第 2 選択部 216 からは、出力信号 D_0 、 $D_{0\frac{1}{4}}$ 、 $D_{0\frac{1}{2}}$ 、

D 0_{3/4}、D 1、D 1_{1/4}、D 1_{1/2}、D 1_{3/4}、D 2、D 2_{1/4}、D 2_{1/2}、D 2_{3/4}のいずれかが、出力パルス信号D O U Tとして次段のスイッチタイミング制御回路104に送出される。

図7は選択回路部209、第1選択部214、及び第2選択部216の一構成例を示す概略構成図である。本図に示すように、選択回路部209は、2入力端子を有する3つのAND回路と、多入力端子を有するOR回路から構成されている。一方、第1選択部214は、2入力端子を有する2つのAND回路と、2入力端子を有するOR回路から構成されている。同様に、第2選択部216は、2入力端子を有する2つのAND回路と、2入力端子を有するOR回路から構成されている。

まず、選択回路部209の構成について説明する。各AND回路の一入力端子には、基本遅延回路部207の最終出力信号D0と追加遅延回路部208の各出力信号D1、D2がそれぞれ入力されている。また、各AND回路の他入力端子には、遅延時間制御回路203から与えられる第1選択信号S0、S1、S2がそれぞれ入力されている。なお、追加遅延回路部208にパルス信号が流れている時間帯には、第1選択信号S0、S1、S2が変化しないように制御されている。一方、OR回路の入力端子には各AND回路の出力信号がそれぞれ入力されており、それらの論理和が選択回路部209で選択された遅延パルス信号となる。

次に、第1選択部214の構成について説明する。各AND回路の一入力端子には、それぞれ選択回路部209の出力信号と第1遅延素子213の出力信号が入力されている。また、各AND回路の他入力端子には、遅延時間制御回路203から与えられる第2選択信号SHがそれぞれ入力されている。ただし、選択回路部209の出力信号が入力されるAND回路には第2選択信号SHが反転入力されている。また、追加遅延回路部208にパルス信号が流れている時間帯には、第2選択信号SHが変化しないように制御されている。一方、OR回路の入力端子には各AND回路の出力信号がそれぞれ入力されており、それらの論理和が第1選択部214で選択された遅延パルス信号となる。

続いて、第2選択部216の構成について説明する。各AND回路の一入力端子には、それぞれ第1選択部214の出力信号と第2遅延素子215の出力信号

が入力されている。また、各AND回路の他入力端子には、遅延時間制御回路203から与えられる第2選択信号SQがそれぞれ入力されている。ただし、第1選択部214の出力信号が入力されるAND回路には第2選択信号SQが反転入力されている。また、追加遅延回路部208にパルス信号が流れている時間帯には、第2選択信号SQが変化しないように制御されている。一方、OR回路の入力端子には各AND回路の出力信号がそれぞれ入力されており、それらの論理和が第2選択部216で選択された出力パルス信号DOUTとなる。

例えば、出力信号D0を出力パルス信号DOUTとして選択する場合には、選択回路部209で出力信号D0を選択するとともに、第1、第2選択部214、216で選択回路部209から直接入力される遅延パルス信号を選択すればよい。そのためには、第1選択信号S0をHレベル、その他の第1選択信号S1、S2をLレベルとし、第2選択信号SH、SQをともにLレベルとすればよい。

出力信号D0から内部クロック信号ICKの $1/4$ 周期分（所定単位時間の0.25倍）だけ遅れた出力信号D0_{1/4}を出力パルス信号DOUTとして選択する場合には、選択回路部209で出力信号D0を選択するとともに、第1選択部214で選択回路部209から直接入力される出力信号を選択し、第2選択部216で第2遅延素子215から入力される出力信号を選択すればよい。そのためには、第1選択信号S0をHレベル、その他の第1選択信号S1、S2をLレベルとし、第2選択信号SH、SQをそれぞれLレベル、Hレベルとすればよい。

出力信号D0から内部クロック信号ICKの半周期分（所定単位時間の0.5倍）だけ遅れた出力信号D0_{1/2}を出力パルス信号DOUTとして選択する場合には、選択回路部209で出力信号D0を選択するとともに、第1選択部214で第1遅延素子213から入力される出力信号を選択し、第2選択部216で第1選択部214から直接入力される出力信号を選択すればよい。そのためには、第1選択信号S0をHレベル、その他の第1選択信号S1、S2をLレベルとし、第2選択信号SH、SQをそれぞれHレベル、Lレベルとすればよい。

出力信号D0から内部クロック信号ICKの $3/4$ 周期分（所定単位時間の0.75倍）だけ遅れた出力信号D0_{3/4}を出力パルス信号DOUTとして選択する場合には、選択回路部209で出力信号D0を選択するとともに、第1選択部

214で第1遅延素子213から入力される出力信号を選択し、第2選択部216で第2遅延素子215から入力される出力信号を選択すればよい。そのためには、第1選択信号S0をHレベル、その他の第1選択信号S1、S2をLレベルとし、第2選択信号SH、SQをとともにHレベルとすればよい。

上記と同様に、第1選択信号S0、S1、S2、及び第2選択信号SH、SQを制御することによって、本実施形態の電圧変換回路では出力パルス信号DOU Tとして12通りの出力信号D0、D0_{1/4}、D0_{1/2}、D0_{3/4}、D1、D1_{1/4}、D1_{1/2}、D1_{3/4}、D2、D2_{1/4}、D2_{1/2}、D2_{3/4}を選択出力することができる。すなわち、出力パルス信号DOU Tのデューティ比を1/5～1/7.75の間で任意に変化させることが可能である。

本実施形態の電圧変換回路に供給される外部電源電圧VDDを3Vとすると、前出の(2)式より、出力パルス信号DOU Tとして基本遅延回路部207の出力信号D0が選択された場合の出力電圧VINTは0.6Vと算出することができる。同様に、出力パルス信号DOU Tとして各出力信号D0_{1/4}～D2_{3/4}が選択された場合の出力電圧VINTは0.55V～0.39Vと算出することができる。従って、本実施形態の電圧変換回路における出力電圧VINTの可変範囲は0.39V～0.6Vであり、その単位可変幅は平均19mVであることが分かる。

以上に説明した通り、本実施形態の電圧変換回路では、第2遅延回路210の付加という僅かな回路変更により、追加遅延回路部208を構成する遅延素子の個数増大を招くことなく、出力パルス信号DOU Tの選択候補数を増大させ、出力電圧VINTの単位可変幅を小さくすることができる。これにより、出力電圧VINTの可変精度を大幅に向上することが可能となる。また、追加遅延回路部208を構成する遅延素子の個数を削減したことにより、基準パルス信号生成回路201を構成するNOR回路の入力端子数も削減されるので、ここでも回路規模の縮小を図ることができる。

なお、本実施形態の電圧変換回路を採用することにより、従来に比べて回路規模の縮小や消費電力の低減を実現できることは言うまでもなく、また第1実施形態の電圧変換回路に比べてこれらの利点が損なわれることもない。

続いて、上記した各実施形態の電圧変換回路に設けられるスイッチタイミング制御回路 104 の内部構成及び動作について説明を行う。図 8 はスイッチタイミング制御回路 104 の一構成例を示す概略構成図である。本図に示すように、スイッチタイミング制御回路 104 は、2 段接続された遅延回路と、インバータ回路と、2 入力端子を有する NOR 回路と、を有している。なお、前記遅延回路における各遅延時間 DT は同一とされている。

出力パルス信号生成回路 100（もしくは 200）の出力端は、初段遅延回路の入力端と NOR 回路の一入力端子にそれぞれ接続されている。初段遅延回路の出力端は、次段遅延回路の入力端とインバータ回路の入力端子にそれぞれ接続されている。次段遅延回路の出力端は NOR 回路の他入力端子に接続されている。インバータ回路の出力端子はスイッチ回路 105 を構成する PMOS トランジスタ $M1$ のゲートに接続されており、NOR 回路の出力端子はスイッチ回路 105 を構成する NMOS トランジスタ $M2$ のゲートに接続されている。

上記構成から成るスイッチタイミング制御回路 104 では、出力パルス信号 $DOUT$ を初段遅延回路で所定時間 DT だけ遅らせた出力信号 Da をインバータ回路で論理否定することにより、第 1 制御信号 $\phi 1$ が生成されている。また、初段遅延回路の出力信号 Da をさらに次段遅延回路で所定時間 DT だけ遅らせた出力信号 Db と、出力パルス信号生成回路 100（もしくは 200）から直接入力される出力パルス信号 $DOUT$ とを NOR 回路で論理和否定することにより、第 2 制御信号 $\phi 2$ が生成されている。

図 9 はスイッチタイミング制御回路 104 における各信号波形を示すタイミングチャートである。本図からも分かるように、上記構成から成るスイッチタイミング制御回路 104 では、第 1 制御信号 $\phi 1$ を L レベルに立ち下げるタイミング（PMOS トランジスタ $M1$ をオンさせるタイミング）が、第 2 制御信号 $\phi 2$ を L レベルに立ち下げるタイミング（NMOS トランジスタ $M2$ をオフさせるタイミング）よりも意図的に遅らされている。また、第 2 制御信号 $\phi 2$ を H レベルに立ち上げるタイミング（NMOS トランジスタ $M2$ をオンさせるタイミング）が、第 1 制御信号 $\phi 1$ を H レベルに立ち上げるタイミング（PMOS トランジスタ $M1$ をオフさせるタイミング）よりも意図的に遅らされている。

より具体的に言うと、PMOSトランジスタM1がオンとなるのは期間S2のみであり、その他の期間はオフとなる。一方、NMOSトランジスタM2がオンとなるのは期間S0、S0'のみであり、その他の期間はオフとなる。すなわち、期間S1、S1'においてはPMOSトランジスタM1とNMOSトランジスタM2がいずれもオフとなっており、PMOSトランジスタM1とNMOSトランジスタM2が同時にオンする期間は存在しない。

このように、PMOSトランジスタM1とNMOSトランジスタM2のオン／オフ制御に際して、一方のMOSトランジスタがオフしてから所定時間経過後に他方のMOSトランジスタをオンさせる構成とすることにより、第1、第2制御信号 $\phi 1$ 、 $\phi 2$ を生成する過程でいずれかの制御信号に意図しない遅延が少々生じたとしても、PMOSトランジスタM1とNMOSトランジスタM2が同時にオンすることはない。従って、スイッチ回路105に貫通電流が流れることを防止することができるので、余分な電力消費を抑えることが可能となる。

次に、上記したスイッチタイミング制御回路104の各遅延回路をDフリップフロップ回路で構成した場合について説明する。図10はスイッチタイミング制御回路104の別構成例を示す概略構成図である。本図に示すスイッチタイミング制御回路104では、各遅延回路としてDフリップフロップ回路が採用されている。

各フリップフロップ回路のクロック端子には、それぞれ内部クロック信号ICLK2が入力されている。内部クロック信号ICLK2は、出力パルス信号生成回路100（もしくは200）を駆動する内部クロック信号ICLKの倍速クロック信号であり、その周波数は内部クロック信号ICLKの2倍である。

上記構成から成るスイッチタイミング制御回路104では、内部クロック信号ICLKに同期した出力パルス信号DOUTを初段フリップフロップ回路で内部クロック信号ICLK2の1周期分だけ遅延させ、その出力信号をインバータ回路で論理否定することにより、第1制御信号 $\phi 1$ が生成されている。また、初段フリップフロップ回路の出力信号をさらに次段フリップフロップ回路で内部クロック信号ICLK2の1周期分だけ遅延させた出力信号と、出力パルス信号生成回路100（もしくは200）から直接入力される出力パルス信号DOUTとを

NOR回路で論理和否定することにより、第2制御信号 $\phi 2$ が生成されている。

図11A、図11Bはスイッチタイミング制御回路104における各信号波形を示すタイミングチャートである。なお、図11Aは出力パルス信号DOUTが内部クロック信号ICKのポジティブエッジに同期している場合を示している。また、図11Bは出力パルス信号DOUTが内部クロック信号ICKのネガティブエッジに同期している場合を示している。

本図からも分かるように、上記構成から成るスイッチタイミング制御回路104では、先程と同様、第1制御信号 $\phi 1$ をLレベルに立ち下げるタイミングが、第2制御信号 $\phi 2$ をLレベルに立ち下げるタイミングよりも意図的に遅らされている。また、第2制御信号 $\phi 2$ をHレベルに立ち上げるタイミングが、第1制御信号 $\phi 1$ をHレベルに立ち上げるタイミングよりも意図的に遅らされている。従って、PMOSトランジスタM1とNMOSトランジスタM2が同時にオンすることではなく、スイッチ回路105の余分な電力消費を抑えることが可能となる。

また、出力パルス信号DOUTに対して遅延を与えるフリップフロップ回路を、内部クロック信号ICKの倍速クロック信号である内部クロック信号ICK2によって駆動することにより、出力パルス信号DOUTが内部クロック信号ICKのポジティブエッジ或いはネガティブエッジのいずれに同期している場合であっても、各フリップフロップ回路における遅延時間を内部クロック信号ICKの半周期分、すなわち内部クロック信号ICK2の1周期分とすることができる。

なお、上記の実施形態では出力パルス信号DOUTに遅延を与える各遅延回路としてDフリップフロップ回路を用いた例を挙げて説明を行ったが、各遅延回路としてはDフリップフロップ回路に限らず、どのようなフリップフロップ回路或いは遅延素子を用いてもよい。

続いて、上記した各実施形態の電圧変換回路に設けられる遅延時間制御回路103、203の内部構成及び動作について説明を行う。なお、遅延時間制御回路103、203の基本構成は全く同一であるため、ここでは第2実施形態の遅延時間制御回路203を例に挙げて説明を行うことにする。図12は遅延時間制御回路203の一構成例を示す概略構成図である。

前述した通り、遅延時間制御回路 203 は、出力パルス信号生成回路 200 を構成する第 1 遅延回路 202 の選択回路部 209、及び第 2 遅延回路 210 の第 1 ～ 第 n 選択部 214、・・・、216 に対してそれぞれ選択信号を送出し、所望の出力電圧 VINT が得られるように第 1、第 2 遅延回路 202、210 における遅延時間の設定を行う回路である。本図に示すように、遅延時間制御回路 203 はレプリカ回路 501 と選択信号生成回路 502 とを有している。

まず、レプリカ回路 501 について説明する。レプリカ回路 501 は出力電圧 VINT によって動作する内部回路の動作状態を示す動作状態信号を生成する回路であり、動作状態検出パルス生成回路 511 と、クリティカルパス回路 512 と、ラッチ回路 513 から構成されている。

動作状態検出パルス生成回路 511 は、出力電圧 VINT によって動作する内部回路の動作クロック信号 ECLK に同期した動作状態検出パルス信号 RPL を生成する回路であり、その動作状態検出パルス信号 RPL は次段のクリティカルパス回路 512 に送出される。

クリティカルパス回路 512 は、前記内部回路のクリティカルパス、すなわち信号の遅延が最も大きいと考えられるパス回路と同等の遅延を行う回路であり、プロセスばらつきや動作環境変化に対応するために、内部回路と同一のプロセス技術を用いて作成される。また、クリティカルパス回路 512 には電源電圧としてフィルタ回路 106 の出力電圧 VINT が印加されている。すなわち、電源供給の対象となる内部回路の駆動電圧がクリティカルパス回路 512 によってモニタされることになる。

ラッチ回路 513 は、クリティカルパス回路 512 から出力されたパルス信号を一旦保持する回路であり、その出力信号はレプリカ回路 501 の動作状態信号として次段の選択信号生成回路 502 に送出される。

続いて、レプリカ回路 501 の具体的構成及びその動作について説明する。図 13 はレプリカ回路 501 の一構成例を示す概略構成図である。まず、動作状態検出パルス生成回路 511 の内部構成及び動作について説明を行う。本図に示すように、動作状態検出パルス生成回路 511 は、フリップフロップ回路 511A、511B、511C（以下、FF511A、FF511B、FF511C と呼

ぶ)と、2入力端子を有するAND回路511D、511Eから構成されている。

なお、出力電圧VINTが供給される内部回路の動作状態は、出力パルス信号生成回路200を構成する第1、第2遅延回路202、210における出力選択動作の直前に検出すればよい。そこで、本実施形態における動作状態検出パルス生成回路511は、レプリカ回路501の外部から与えられるイネーブル信号ENABLEがオン(Hレベル)のときに動作するように構成されている。すなわち、上記したFF511A、FF511B、FF511Cはいずれもイネーブル信号ENABLEがオン(Hレベル)のときに動作する。

FF511Aは、動作クロック信号ECLKのポジティブエッジをトリガとして動作するDフリップフロップ回路であり、そのデータ入力端子には信号REが入力されている。従って、FF511Aから出力される動作状態検出パルス信号RPLは、信号REを動作クロック信号ECLKの1周期分だけ遅延した信号となる。これにより、動作状態検出パルス信号RPLは動作クロック信号ECLKに同期するため、前記内部回路の動作状態検出動作を高精度に行うことができる。なお、FF511Aに入力される信号REは、イネーブル信号ENABLEがオン(Hレベル)のときに所定期間だけオン(Hレベル)となる信号である。この信号REについては後ほど詳細に説明する。

FF511Aの出力端子は、クリティカルパス回路512の入力端、FF511B、FF511Cの各データ入力端子、及びAND回路511D、511Eの各一入力端子にそれぞれ接続されている。

FF511Bは、動作クロック信号ECLKのネガティブエッジをトリガとして動作するDNフリップフロップ回路であり、その出力信号N1は、FF511Aの出力信号RPLを動作クロック信号ECLKの半周期分だけ遅延して反転した信号となる。なお、FF511Bの出力信号N1は、AND回路511Dの他入力端子に対して送出される。

FF511Cは、動作クロック信号ECLKのポジティブエッジをトリガとして動作するDフリップフロップ回路であり、その出力信号N2は、FF511Aの出力信号RPLを動作クロック信号ECLKの1周期分だけ遅延して反転した信号となる。なお、FF511Cの出力信号N2は、AND回路511Eの他入

力端子に対して送出される。

AND回路511Dは、出力信号N1と動作状態検出パルス信号RPLとの論理積演算を行うことで評価パルス信号EV1を生成する回路である。また、AND回路511Eは、出力信号N2と動作状態検出パルス信号RPLとの論理積演算を行うことで評価パルス信号EV2を生成する回路である。これらの評価パルス信号EV1、EV2はそれぞれ後段のラッチ回路513の動作を制御するトリガ信号として用いられる。

次に、上記構成から成る動作状態検出パルス生成回路511の動作について説明する。図14は動作状態検出パルス生成回路511における各信号波形を示すタイミングチャートである。ここでは、イネーブル信号ENABLEが内部回路の動作クロック信号ECLKの16周期分だけオン（Hレベル）となる例を挙げて説明を行う。

本図に示すように、本実施形態の信号REはイネーブル信号ENABLEの1/8分周信号に相当するパルス信号であり、FF511Aから出力される動作状態検出パルス信号RPLは、該信号REをイネーブル信号ENABLEの1周期分だけ遅らせたパルス信号である。このような動作状態検出パルス信号RPLから評価パルス信号EV1、EV2を生成することにより、イネーブル信号ENABLEがオンしている期間に生成される評価パルス信号EV1、EV2をそれぞれ1つに限定でき、レプリカ回路501の不要な動作を抑えることができる。

また、前述した通り、FF511Bの出力信号N1は、動作状態検出パルス信号RPLを動作クロック信号ECLKの半周期分だけ遅延して反転したパルス信号であり、FF511Cの出力信号N2は、動作状態検出パルス信号RPLを動作クロック信号ECLKの1周期分だけ遅延して反転したパルス信号である。従って、AND回路511Dによって生成される評価パルス信号EV1のパルス幅は動作クロック信号ECLKの半周期分に相当し、AND回路511Eによって生成される評価パルス信号EV2のパルス幅は動作クロック信号ECLKの1周期分に相当する。

続いて、図13に戻ってクリティカルパス回路512の内部構成及び動作について説明を行う。前述した通り、クリティカルパス回路512はフィルタ回路1

06から送出される出力電圧VINTによって駆動される回路であり、その内部信号のHレベルは出力電圧VINTとなる。そこで、電源電圧VDDによって駆動される動作状態検出パルス生成回路511やラッチ回路513との間で入出力信号の電圧レベルを一致させるために、クリティカルパス回路512の入力段には降圧レベルシフタ514が設けられており、出力段には昇圧レベルシフタ515A、515Bが設けられている。

ここで、本図に示すレプリカ回路501は、自身を構成するクリティカルパス回路512が所定時間内（前記内部回路を駆動させる動作クロック信号CLKの1周期分以内）にパルス信号を出力できるか否かをモニタし、そのモニタ結果に応じて前記内部回路の動作状態が「速度超過状態（以下、動作状態FASTと呼ぶ）」、「動作可能状態（以下、動作状態OKと呼ぶ）」、「危険状態（以下、動作状態WARNと呼ぶ）」、「動作不可状態（以下、動作状態NGと呼ぶ）」のいずれであるかを判断する回路である。

上記した4つの動作状態を検出するために、クリティカルパス回路512は前半クリティカルパス回路516と後半クリティカルパス回路517の2つに分割されている。ここで、前半クリティカルパス回路516と後半クリティカルパス回路517の各遅延時間は、クリティカルパス回路512全体の遅延時間を1として、それぞれ $0.5 + \alpha$ 、 $0.5 - \alpha$ とされている。つまり、前半クリティカルパス回路516の遅延時間が、後半クリティカルパス回路517の遅延時間よりも若干長くなるように分割されている。

なお、クリティカルパス回路512を構成する回路としては、複数のインバータ回路が直列接続されたインバータチェーンが好適であるが、インバータ回路の代わりにNAND回路やNOR回路を用いてもよい。

動作状態検出パルス生成回路511から送出される動作状態検出パルス信号RPLは、降圧レベルシフタ514を介して前半クリティカルパス回路516に入力される。前半クリティカルパス回路516の出力信号は、後半クリティカルパス回路517に送出される一方で、昇圧レベルシフタ515Aを介して出力信号RAとされ、ラッチ回路513に送出される。また、後半クリティカルパス回路517の出力信号は、昇圧レベルシフタ515Bを介して出力信号RBとされ、

ラッチ回路 513 に送出される。

続いて、ラッチ回路 513 の内部構成及び動作について説明を行う。ラッチ回路 513 は、動作状態検出パルス生成回路 511 から送出される評価パルス信号 EV1 のネガティブエッジをトリガとする DN フリップフロップ回路 513A、513B（以下、FF513A、FF513B と呼ぶ）と、評価パルス信号 EV2 のネガティブエッジをトリガとする DN フリップフロップ回路 513C（以下、FF513C と呼ぶ）と、を有している。なお、FF513A のデータ入力端子には、昇圧レベルシフタ 515A からの出力信号 RA が入力されており、FF513B、FF513C の各データ入力端子には、昇圧レベルシフタ 515B からの出力信号 RB が入力されている。

従って、FF513A によって出力信号 RA を評価パルス信号 EV1 のネガティブエッジでラッチした信号 LA、FF513B によって出力信号 RB を評価パルス信号 EV1 のネガティブエッジでラッチした信号 LB、及び FF513C によって信号 RB をパルス信号 EV2 のネガティブエッジでラッチした信号 LC が、最終的にレプリカ回路 501 から次段の選択信号生成回路 502 に送出される動作状態信号 LA、LB、LC となる。

なお、出力電圧 VINT が供給される前記内部回路の動作状態は、出力パルス信号生成回路 200 を構成する第 1、第 2 遅延回路 202、210 における出力選択動作の直前に検出すればよい。そこで、本実施形態におけるラッチ回路 513 は、レプリカ回路 501 の外部から与えられるイネーブル信号 ENABLE がオン（Hレベル）のときに動作するように構成されている。すなわち、上記した FF513A、FF513B、FF513C は、いずれもイネーブル信号 ENABLE がオン（Hレベル）のときに動作する。

上記構成から成るレプリカ回路 501 の動作について説明する。図 15 はレプリカ回路 501 における各信号波形を示すタイミングチャートである。なお、以下では評価パルス信号 EV1 のパルス幅（動作クロック信号 ECLK の半周期分）を第 1 所定動作時間 T1、パルス信号 EV2 のパルス幅（動作クロック信号 ECLK の 1 周期分）を第 2 所定動作時間 T2 とし、また前半クリティカルパス回路 516 の遅延時間を第 1 動作時間 D1、クリティカルパス回路 512 全体の

遅延時間を第2動作時間D2として説明を行うことにする。

図中のパターンAは、出力信号RAがFF513AでHレベルにラッチされ、出力信号RBがFF513B、FF513CでそれぞれHレベルにラッチされた場合を示している。すなわち、第2動作時間D2が第1所定動作時間T1よりも短い場合を示している。この場合、クリティカルパス回路512全体は動作クロック信号ECLKの半周期分以内の遅延時間で動作しており、出力電圧VINTによって駆動する内部回路は充分過ぎるほど高速に動作している状態であると考えられる。従って、レプリカ回路501の動作状態信号LA、LB、LCが全てHレベルとなる場合を動作状態FASTと判断する。

図中のパターンBは、出力信号RAがFF513AでHレベルにラッチされ、出力信号RBがFF513B、FF513CでそれぞれLレベル、Hレベルにラッチされた場合を示している。すなわち、第1動作時間D1は第1所定動作時間T1よりも短く、第2動作時間D2は第1所定動作時間T1よりも長い第2所定動作時間T2よりも短い場合を示している。この場合、前半クリティカルパス回路516は動作クロック信号ECLKの半周期分以内の遅延時間で動作しており、クリティカルパス回路512全体は動作クロック信号ECLKの半周期分より長い1周期分より短い遅延時間で動作している。この状態は出力電圧VINTによって駆動する内部回路が適正速度で動作している状態であると考えられる。従って、レプリカ回路501の動作状態信号LA、LB、LCがそれぞれHレベル、Lレベル、Hレベルとなる場合を動作状態OKと判断する。

図中のパターンCは、出力信号RAがFF513AでLレベルにラッチされ、出力信号RBがFF513B、FF513CでそれぞれLレベル、Hレベルにラッチされた場合を示している。すなわち、第1動作時間D1は第1所定動作時間T1よりも長い第2動作時間D2は第2所定動作時間T2よりも短い場合を示している。この場合、前半クリティカルパス回路516の遅延時間は動作クロック信号ECLKの半周期分以内に収まらないが、クリティカルパス回路512全体では動作クロック信号ECLKの1周期分より短い遅延時間で動作している。この状態は出力電圧VINTによって駆動する内部回路の動作速度に余裕がない状態であり、僅かな環境変化等により動作しなくなる可能性が高い状態であると

考えられる。従って、レプリカ回路 501 の動作状態信号 LA、LB、LC がそれぞれ L レベル、L レベル、H レベルとなる場合を動作状態 WARN と判断する。

図中のパターン D は、出力信号 RA が FF 5 1 3 A で L レベルにラッチされ、出力信号 RB が FF 5 1 3 B、FF 5 1 3 C でそれぞれ L レベルにラッチされた場合を示している。すなわち、第 2 動作時間 D2 が第 2 所定動作時間 T2 よりも長い場合を示している。この場合、クリティカルパス回路 512 全体の遅延時間が動作クロック信号 ECLK の 1 周期分を越えるので、出力電圧 VINT によって駆動する内部回路は動作しない可能性が極めて高い状態であると考えられる。従って、レプリカ回路 501 の動作状態信号 LA、LB、LC が全て L レベルとなる場合を動作状態 NG と判断する。

以上のように、レプリカ回路 501 の動作状態信号 LA、LB、LC の組み合わせにより 4 つの動作状態を表すことができる。図 16 はレプリカ回路 501 における動作状態信号 LA、LB、LC と内部回路の動作状態との関係を示す表である。このように、クリティカルパス回路 512 の動作状態を 4 つ (FAST、OK、WARN、NG) に分類することによって、出力電圧 VINT によって駆動する内部回路の動作状態をきめ細かく検知することが可能となる。従って、いかなるプロセスばらつきや環境変化にも適切に対応でき、最適な出力電圧 VINT の供給を行うことで集積回路全体の低消費電力化に貢献することができる。

なお、図 15 で示されていない動作状態信号 LA、LB、LC の組み合わせ (例えば、動作状態信号 LA、LB、LC がそれぞれ L レベル、H レベル、L レベル) となる場合は、クリティカルパス回路 512 自体が適切に動作していない可能性が極めて高い状態であると考えられる。従って、動作状態信号 LA、LB、LC の組み合わせが図 15 で示されていない組み合わせとなる場合を動作状態 (NG) と判断する。このような動作状態検出を行うことにより、内部回路をより安定して動作させることが可能となる。また、レプリカ回路 501 の故障等を早期に発見できるので、迅速な善後処置を施すことが可能となる。

次に、選択信号生成回路 502 について説明を行う。選択信号生成回路 502 は、レプリカ回路 501 から入力される動作状態信号 LA、LB、LC に基づいて、出力パルス信号生成回路 200 を構成する第 1 遅延回路 202 の選択回路部

209、及び第2遅延回路210の第1～第n選択部214、・・・、216に対する選択信号を生成する回路である。

例えば、動作状態信号LA、LB、LCが動作状態FASTを示す場合、選択信号生成回路502は出力電圧VINTを現在値から1段階下げる、すなわち第1、第2遅延回路202、210における遅延時間を現在値から1段階長くするような選択信号を生成する。また、動作状態信号LA、LB、LCが動作状態OKを示す場合、選択信号生成回路502は出力電圧VINTを現在値に維持する、すなわち前記遅延時間を現在値に維持するような選択信号を生成する。一方、動作状態信号LA、LB、LCが動作状態WARNもしくは動作状態NGを示す場合、選択信号生成回路502は出力電圧VINTを現在値から1段階上げる、すなわち前記遅延時間を現在値から1段階短くするような選択信号を生成する。

上記に説明した各実施形態の電圧変換回路では、第1遅延回路202或いは第2遅延回路210における遅延時間を増減することで出力電圧VINTを変化させている。このとき、出力電圧VINTの可変幅（すなわち、前記遅延時間の可変幅）が大きいと、前記遅延時間を1段階上下しただけで動作状態OKや動作状態WARNの範囲を飛び越えてしまう可能性がある。そのため、出力電圧VINTの可変幅はできるだけ小さいことが望ましい。

一方、出力電圧VINTの可変幅が十分小さい場合、動作状態OKや動作状態WARNの範囲内には選択可能な出力電圧VINTが複数存在する可能性がある。このような場合、出力電圧VINTによって駆動される内部回路を安定動作させつつその消費電力を最小とするためには、動作状態OKとなる複数の出力電圧VINTのうち、最も低い出力電圧VINTを選択すればよい。

そこで、本実施形態の選択信号生成回路502は、レプリカ回路501から送出される動作状態信号LA、LB、LCが動作状態OKを示す場合であっても、さらに出力電圧VINTを下げ得るか否か、すなわち前記遅延時間をさらに長くできるか否かの判定を行い、動作状態OKとなる最小の出力電圧VINTを求める構成となっている。

以上の検討に基づいた選択信号生成回路502の具体的な構成例を図17に示す。図17は選択信号生成回路502の一構成例を示す概略構成図である。本図

に示すように、選択信号生成回路502は係数生成回路601と、4ビット加算器602と、4ビットレジスタ603と、デコーダ回路604と、2ビットレジスタ605と、カウンタ回路606と、を備えている。

係数生成回路601は、レプリカ回路501から入力される動作状態信号LA、LB、LCと、第2選択信号SH、SQと、第2選択信号SH、SQを所定時間だけ遅らせた遅延信号SHD、SQDに基づいて、4ビット信号COEFを生成する回路である。また、係数生成回路601には、上記信号の他にも、出力パルス信号生成回路200から送出される信号REPENBや、カウンタ回路606から送出される信号REがそれぞれ入力されている。

なお、上記した信号REPENBは、出力パルス信号生成回路200を構成する第1、第2遅延回路202、210における出力選択動作の直前に立ち上がる周期信号であり、例えば第1遅延回路202を構成する基本遅延回路部207の出力信号DM1（図6参照）を用いればよい。また、信号REは信号REPENBの分周信号に相当する。

4ビット加算器602は、係数生成回路601で生成された4ビット信号COEFと、前回の選択信号を示す数値を記憶した4ビットレジスタ603の出力信号CNTとに基づいて、新しい選択信号を示す数値を計算する回路である。

4ビットレジスタ603は、4ビット加算器602の出力信号を一旦保持する回路であり、信号REPENBのネガティブエッジをトリガとして動作する4個のDNフリップフロップ回路（図示せず）から構成されている。

なお、本実施形態における電圧変換回路の起動時、4ビットレジスタ603を構成するDNフリップフロップ回路は、いずれもリセット信号（図示せず）によって一旦Lレベルにリセットされる。このとき、デコーダ回路604から送出される第1選択信号S0はHレベルとなり、それ以外の第1選択信号S1、S2はともにLレベルとなる。また、第2選択信号SH、SQもともにLレベルとなる。

つまり、本実施形態における電圧変換回路の起動時には、出力パルス信号生成回路200の出力パルス信号DOUTとして、第1、第2遅延回路202、210における遅延時間を最短とする出力信号D0が選択される。その結果、出力電圧VINTは可変上限値となるので、出力電圧VINTが供給される内部回路は

前記電圧変換回路の起動時にも確実に動作することができる。

デコーダ回路604は、4ビットレジスタ603の出力信号CNTの上位2ビット(CNT[3:2])をデコードすることで第1選択信号S0、S1、S2を生成し、出力パルス信号生成回路200の選択回路部209に対して送出する回路である。このとき、デコーダ回路604は、4ビットレジスタ603が保持する10進表記で「0」～「2」を示す2ビット信号(「00」～「10」)を、第1選択信号S0、S1、S2にそれぞれ対応する3ビット信号(「100」～「001」)に変換する。

一方、第2選択信号SHとしては4ビットレジスタの出力信号CNTの下から2ビット目(CNT[1])をそのまま用いることができ、第2選択信号SQとしては出力信号CNTの最下位ビット(CNT[0])をそのまま用いることができる。これらの第2選択信号SH、SQは、出力パルス信号生成回路200の第2遅延回路210を構成する第1、第2選択部214、216にそれぞれ送出される一方で、係数生成回路601や2ビットレジスタ605にも送出される。

2ビットレジスタ605は、第2選択信号SH、SQを一旦保持する回路であり、信号REPENBのネガティブエッジをトリガとして動作する2個のDNフリップフロップ回路から構成されている。なお、各フリップフロップ回路は、第2選択信号SH、SQの遅延信号SHD、SQDをそれぞれ係数生成回路601に送出する。

カウンタ回路606は、信号REPENBをカウントすることにより、信号REPENBの分周信号に相当する信号REを生成し、その信号REをレプリカ回路501及び係数生成回路601に対して送出する。

続いて、係数生成回路601の内部構成及びその動作について説明する。図18は係数生成回路601の一構成例を示す概略構成図である。本図に示すように、係数生成回路601は、フラグ信号生成回路607と、係数選択信号生成回路608と、4ビット減算器609と、インクリメンタ610と、デクリメンタ611と、セクタ612と、を備えている。

フラグ信号生成回路607は、レプリカ回路501から入力される動作状態信号LA、LB、LCに基づいてフラグ信号WFを生成する回路である。フラグ信

号生成回路 607 は、動作状態信号 LA、LB、LC が動作状態 WARN を示す場合にフラグ信号 WF を Enable (Hレベル) とし、動作状態信号 LA、LB、LC が動作状態 FAST を示す場合にフラグ信号 WF を Disable (Lレベル) とする。また、動作状態信号 LA、LB、LC が動作状態 WARN 及び動作状態 FAST 以外を示す場合にはフラグ信号 WF を現在値に維持する。なお、フラグ信号 WF は出力パルス信号生成回路 200 から入力される信号 REPENB に同期して決定すればよい。

図 19 はフラグ信号生成回路 607 に実装される論理回路の真理値表である。本図に示す真理値表を論理回路としてフラグ信号生成回路 607 に実装することにより、上記したフラグ信号 WF の生成動作を実現することができる。なお、図中の WF0 とは、1 周期前に決定されたフラグ信号 WF の値であり、フラグ信号 WF を現在値に維持することを示している。

係数選択信号生成回路 608 は、レプリカ回路 501 から入力される動作状態信号 LA、LB、LC と、フラグ信号生成回路 607 から入力されるフラグ信号 WF に基づいて、セクタ 612 における係数選択動作を制御するための係数選択信号 SC を生成する回路である。なお、係数選択信号 SC はカウンタ回路 606 から入力される信号 RE に同期して決定すればよい。

セクタ 612 は上記した係数選択信号 SC に基づいて、出力電圧 VINT を現在値に維持するための係数 COMP、出力電圧 VINT を現在値より 1 段下げるための係数 COMPD、及び出力電圧 VINT を現在値より 1 段上げるための係数 COMP U のいずれか 1 つを選択し、4 ビット信号 COEF として 4 ビット加算器 602 に送出する。

係数 COMP が 4 ビット信号 COEF として選択された場合、出力パルス信号生成回路 200 を構成する第 1、第 2 遅延回路 202、210 の遅延時間が現在値に維持されるため、出力電圧 VINT も現在値に維持される。係数 COMPD が 4 ビット信号 COEF として選択された場合、前記遅延時間が現在値より 1 段長くなるため、出力電圧 VINT は現在値より 1 段下がる。係数 COMP U が 4 ビット信号 COEF として選択された場合、前記遅延時間が現在値より 1 段短くなるため、出力電圧 VINT は現在値より 1 段上がる。

係数選択信号生成回路 608 及びセクタ 612 の動作について、さらに詳細に説明する。レプリカ回路 501 から入力される動作状態信号 LA、LB、LC が動作状態 WARN、NG、(NG) のいずれかを示す場合、係数選択信号生成回路 608 はフラグ信号 WF の値に関わらず、出力電圧 VINT を現在値より 1 段上げるための係数選択信号 SC を生成する。セクタ 612 はこの係数選択信号 SC に基づいて係数 COMP U を選択する。

動作状態信号 LA、LB、LC が動作状態 OK を示し、かつフラグ信号 WF が Disable (L レベル) である場合、係数選択信号生成回路 608 は出力電圧 VINT を現在値より 1 段下げるための係数選択信号 SC を生成する。セクタ 612 はこの係数選択信号 SC に基づいて係数 COMP D を選択する。

動作状態信号 LA、LB、LC が動作状態 OK を示し、かつフラグ信号 WF が Enable (H レベル) である場合、係数選択信号生成回路 608 は出力電圧 VINT を現在値に維持するための係数選択信号 SC を生成する。セクタ 612 はこの係数選択信号 SC に基づいて係数 COMP を選択する。

動作状態信号 LA、LB、LC が動作状態 FAST を示す場合、係数選択信号生成回路 608 はフラグ信号 WF の値に関わらず、出力電圧 VINT を現在値より 1 段下げるための係数選択信号 SC を生成する。セクタ 612 はこの係数選択信号 SC に基づいて係数 COMP D を選択する。

図 20 は係数選択信号生成回路 608 に実装される論理回路の真理値表である。本図に示す真理値表を論理回路として係数選択信号生成回路 608 に実装することにより、上記した係数選択信号 SC の生成動作を実現することができる。

続いて、フラグ信号生成回路 607 及び係数選択信号生成回路 608 による出力電圧 VINT の具体的な制御動作について説明する。

今、電源電圧回路の出力電圧 VINT が低過ぎることにより、レプリカ回路 501 が動作状態 NG を示している場合を考える。この場合、係数選択信号生成回路 608 はフラグ信号 WF の値に関わらず、出力電圧 VINT を現在値より 1 段上げるための係数選択信号 SC を生成する。これにより出力電圧 VINT は徐々に上昇されるため、レプリカ回路 501 が示す動作状態は NG から WARN を経て OK へと変遷する。ここで、動作状態 OK となった時点でのフラグ信号 WF は、

動作状態WARNを経ているためにEnable (Hレベル) となっている。従って、動作状態OKとなった時点で係数選択信号生成回路608は出力電圧VINTを現在値に維持するための係数選択信号SCを生成するので、それ以上不必要に出力電圧VINTが上げられることはない。

一方、電源電圧回路の出力電圧VINTが高過ぎることにより、レプリカ回路501が動作状態FASTを示している場合を考える。このとき、フラグ信号WFはDisable (Lレベル) となる。この場合、係数選択信号生成回路608はフラグ信号WFの値に関わらず、出力電圧VINTを現在値より1段下げするための係数選択信号SCを生成する。これにより出力電圧VINTは徐々に下げられていくため、レプリカ回路501が示す動作状態はFASTからOKへと変遷する。ここで、動作状態OKとなった時点でのフラグ信号WFは、動作状態WARNを経していないためにDisable (Lレベル) のままである。従って、出力電圧VINTはさらに引き下げられ、動作状態はOKからWARNへと変遷する。

前述した通り、動作状態がWARNとなった時点で、係数選択信号生成回路608は出力電圧VINTを現在値より1段上げるための係数選択信号SCを生成する。これによりレプリカ回路501が示す動作状態は再びOKとなる。ここで、動作状態OKとなった時点でのフラグ信号WFは、動作状態WARNを経ているためにEnable (Hレベル) となっている。従って、動作状態OKとなった時点で係数選択信号生成回路608は出力電圧VINTを現在値に維持するための係数選択信号SCを生成するので、それ以上不必要に出力電圧VINTが上げられることはない。

このような出力電圧VINTの制御を行うことにより、動作状態OKとなる複数の出力電圧VINTのうち、最も低い出力電圧VINTを選択することができるため、出力電圧VINTによって駆動される内部回路を安定動作させつつ、その消費電力を最小とすることが可能となる。

なお、上記したフラグ信号WFによる判定を行うことなく、動作状態OKでは常に出力電圧VINTを下げようとする構成とした場合には、レプリカ回路501によって示される動作状態がWARNとOKとの間で交互に繰り返されること

になる。このような構成では出力電圧 V_{INT} が上下してしまうため、内部回路の動作が不安定となるおそれがある。

次に、4ビット減算器609、インクリメンタ610、及びデクリメンタ611にて生成される係数COMP、COMP_D、COMP_Uについて説明する。前述した通り、これらの係数COMP、COMP_D、COMP_Uは、出力パルス信号生成回路200を構成する第1、第2遅延回路202、210の遅延時間を現在値に維持したり、現在値から1段階ずつ上下させたりするために用いられる。

インクリメンタ610は4ビット減算器609から送出される係数COMPの値に1を加えることで係数COMP_Dを生成し、デクリメンタ611は4ビット減算器609から送出される係数COMPの値から1を減じることで係数COMP_Uを生成する。前述した通り、出力電圧 V_{INT} を現在値より1段下げるためには係数COMP_Dが4ビット信号COEFとして選択され、出力電圧 V_{INT} を現在値より1段上げるためには係数COMP_Uが4ビット信号COEFとして選択される。

一方、出力パルス信号生成回路200を構成する第1、第2遅延回路202、210の遅延時間を現在値に維持する場合には、4ビット減算器609から送出される係数COMPがセレクト612によって選択される。ただし、出力パルス信号生成回路200から送出される出力パルス信号DOUTのパルス周期を一定に保つためには、係数COMPに対して所定の補正を施す必要がある。

図21A、図21Bは係数COMPに対する補正動作の一例を示す図である。図21Aは内部クロック信号ICLK、ICLK2と、第1、第2遅延回路202、210の各出力パルス信号を示したタイミングチャートである。なお、本図では第2遅延回路210から出力される出力パルス信号DOUTのパルス周期を内部クロック信号ICLKの5/250k相当に維持する場合を例に挙げて説明を行う。また、図21Bは4ビット信号COEF（すなわち係数COMP）の算出動作を示しており、4ビット信号COEF、信号CNT、及び信号CNT0をそれぞれ2進数表現（例えば（0000）_b）で記述している。なお、図中の信号CNT0とは、1周期前に決定された信号CNTの値である。

まず、両図中の状態（1）について説明する。両図に示した状態（1）よりも

1 周期前の出力パルス信号 DOUT として、第 1 遅延回路 202 の出力信号 D0 (図示せず) がそのまま選択されていたと仮定すると、状態 (1) における信号 CNT0 は (0000) b である。このとき、1 周期前の出力パルス信号 DOUT (D0) と、これから出力しようとする出力パルス信号 DOUT との間に内部クロック信号 ICLK の 5.25 clk に相当する遅延を挿入するには、第 1 遅延回路 202 の出力信号 D0 を 0.25 clk だけ遅らせた遅延パルス信号 D0_{1/4} を出力パルス信号 DOUT として選択すればよい。つまり、4 ビット信号 COEF を (0001) b とすることで 4 ビット加算器 602 から送出される信号 CNT を (0001) b とすればよい。

次に、両図中の状態 (2) について説明する。状態 (1) では出力パルス信号 DOUT として遅延パルス信号 D0_{1/4} が選択されていることから、状態 (2) における信号 CNT0 は (0001) b である。このとき、1 周期前の出力パルス信号 DOUT (D0_{1/4}) と、これから出力しようとする出力パルス信号 DOUT との間に内部クロック信号 ICLK の 5.25 clk に相当する遅延を挿入するには、第 1 遅延回路 202 の出力信号 D0 を 0.5 clk だけ遅らせた遅延パルス信号 D0_{1/2} を出力パルス信号 DOUT として選択すればよい。この場合、信号 CNT の期待値は (0010) b であるため、4 ビット信号 COEF として選択される係数 COMP を (0001) b、つまり +1 にすればよい。

次に、両図中の状態 (3) について説明する。状態 (2) では出力パルス信号 DOUT として遅延パルス信号 D0_{1/2} が選択されていることから、状態 (3) における信号 CNT0 は (0010) b である。このとき、1 周期前の出力パルス信号 DOUT (D0_{1/2}) と、これから出力しようとする出力パルス信号 DOUT との間に内部クロック信号 ICLK の 5.25 clk に相当する遅延を挿入するには、第 1 遅延回路 202 の出力信号 D0 を 0.75 clk だけ遅らせた遅延パルス信号 D0_{3/4} を出力パルス信号 DOUT として選択すればよい。この場合、信号 CNT の期待値は (0011) b であるため、4 ビット信号 COEF として選択される係数 COMP を (0001) b、つまり +1 にすればよい。

次に、両図中の状態 (4) について説明する。状態 (3) では出力パルス信号 DOUT として遅延パルス信号 D0_{3/4} が選択されていることから、状態 (4) に

おける信号CNT0は(0011)bである。このとき、1周期前の出力パルス信号DOUT(D0)と、これから出力しようとする出力パルス信号DOUTとの間に内部クロック信号ICKの5.25clkに相当する遅延を挿入するには、第1遅延回路202の出力信号D0を1clkだけ遅らせた遅延パルス信号D1を出力パルス信号DOUTとして選択すればよい。この場合、信号CNTの期待値は(0100)bであるため、4ビット信号COEFとして選択される係数COMPを(0001)b、つまり+1にすればよい。

次に、両図中の状態(5)について説明する。状態(4)では出力パルス信号DOUTとして遅延パルス信号D1が選択されていることから、状態(5)における信号CNT0は(0100)bである。このとき、1周期前の出力パルス信号DOUT(D1)と、これから出力しようとする出力パルス信号DOUTとの間に内部クロック信号ICKの5.25clkに相当する遅延を挿入するには、第1遅延回路202の出力信号D0を0.25clkだけ遅らせた遅延パルス信号D0.25を出力パルス信号DOUTとして選択すればよい。この場合、信号CNTの期待値は(0001)bであるため、4ビット信号COEFとして選択される係数COMPを(1101)b、つまり-3にすればよい。

このように、4ビット信号COEFとして選択される係数COMPを補正することにより、信号CNTの実際値を期待値と一致させることができ、出力パルス信号生成回路200から送出される出力パルス信号DOUTのパルス周期を一定に保つことが可能となる。

続いて、上記動作における係数COMPの生成について述べる。図21Bに示される通り、ある状態における係数CNT、CNT0の下位2ビットを取り出してそれぞれ4ビットに拡張し、その拡張された係数CNTから係数CNT0を減じることによって、次の状態における4ビット信号COEF(すなわち係数COMP)を算出することができる。

ここで、上記した係数CNTの下位2ビットとは、4ビットレジスタ603から送出される第2選択信号SH、SQに相当する。また、係数CNT0の下位2ビットとは、2ビットレジスタ605によって第2選択信号SH、SQを所定時間だけ遅らせた遅延信号SHD、SQDに相当する。

従って、係数生成回路 601 を構成する 4 ビット減算器 609 は、上位 2 ビットに "00" を付加することで 4 ビットに拡張された第 2 選択信号 SH、SQ から、同じく上位 2 ビットに "00" を付加することで 4 ビットに拡張された遅延信号 SHD、SQD を減ずることにより、次の状態における 4 ビット信号 COEF（すなわち係数 COMP）を生成する。図 22 は第 2 選択信号 SH、SQ と、遅延信号 SHD、SQD と、係数 COMP との関係を示した表である。

なお、上記では第 2 実施形態の電圧変換回路に設けられる遅延時間制御回路 203 を例に挙げて説明を行ったが、第 1 実施形態の電圧変換回路でも上記と同様の構成から成る遅延時間制御回路 103 によって、第 1 選択信号 S0～S5 を生成することができる。

次に、本発明に係る電圧変換回路の第 3 実施形態について説明する。図 23 は本発明に係る電圧変換回路の第 3 実施形態を示す概略構成図である。本図に示すように、本実施形態の電圧変換回路は、基本的に前述した第 1、第 2 実施形態の電圧変換回路と同様の構成（図 1、図 5 参照）から成るが、出力パルス信号生成回路及びスイッチタイミング制御回路の電源電圧として出力電圧 VINT を供給することを特徴としている。そこで、第 1、第 2 実施形態と同様の構成及び動作を有する部分については図 1 と同一の符号を付すことで説明を省略する。

本図に示すように、本実施形態の電圧変換回路は、出力パルス信号生成回路 300 とスイッチタイミング制御回路 304 とを有しており、出力パルス信号生成回路 300 は、基準パルス信号生成回路 301、第 1、第 2 遅延回路 302、310、及び遅延時間制御回路 303 から構成されている。

上記した基準パルス信号生成回路 301、第 1、第 2 遅延回路 302、310、及び遅延時間制御回路 303 としては、前述した第 1、第 2 実施形態の電圧変換回路に設けられる基準パルス信号生成回路 101（201）、第 1 遅延回路 102（202）、第 2 遅延回路 210、及び遅延時間制御回路 103（203）のいずれの構成を採用してもよい。また、スイッチタイミング制御回路 304 は、前述した第 1、第 2 実施形態の電圧変換回路に設けられるスイッチタイミング制御回路 104 と同様の構成から成る。

ここで、本実施形態における基準パルス信号生成回路 301、第 1、第 2 遅延

回路 302、310、遅延時間制御回路 303、及びスイッチタイミング制御回路 304 には、外部電源電圧 VDD ではなく、フィルタ回路 106 の出力電圧 VINT が電源電圧として供給されている。

ただし、スイッチタイミング制御回路 304 をフィルタ回路 106 から送出される出力電圧 VINT によって駆動すると、第 1、第 2 制御信号 $\phi 1$ 、 $\phi 2$ の H レベルが出力電圧 VINT となってしまう、スイッチ回路 105 を構成する PMOS トランジスタ M1 及び NMOS トランジスタ M2 のオン/オフ制御に不具合を生じる恐れがある。そこで、第 1、第 2 制御信号 $\phi 1$ 、 $\phi 2$ の電圧レベルを必要レベルまで上げるために、スイッチタイミング制御回路 304 の出力段には昇圧レベルシフタ 320A、320B が設けられている。

このようにスイッチ回路 105 及びフィルタ回路 106 を除く全ての回路部分を、外部電源電圧 VDD よりも小さい出力電圧 VINT で駆動することにより、電圧変換回路自体の消費電力を大幅に削減でき、集積回路全体の低消費電力化に貢献することができる。

産業上の利用可能性

本発明に係る電圧変換回路は、外部電源電圧から半導体集積回路装置の駆動電圧を生成する降圧回路として用いるとよい。近年、半導体集積回路装置を構成する内部回路の消費電力低減に伴って、集積回路全体の消費電力に占める降圧回路の消費電力比率が相対的に増大している。そこで、本発明に係る電圧変換回路を降圧回路として採用することにより、降圧回路自体の消費電力を低減できるので、内部回路の低消費電力性を損なうことなく、半導体集積回路装置全体の低消費電力化に貢献することができる。

請求の範囲

1. パルス幅が一定で、パルス周期が可変である出力パルス信号を生成する出力パルス信号生成回路を有し、前記出力パルス信号のパルス幅とパルス周期との比に基づいて出力電圧を決定する電圧変換回路において、

前記出力パルス信号生成回路は、パルス幅一定の基準パルス信号を生成する基準パルス信号生成回路と、前記基準パルス信号を所定時間だけ遅らせる第1遅延回路と、第1遅延回路から出力されるパルス信号を任意時間だけ遅らせる第2遅延回路と、を有して成り、第2遅延回路の出力信号を前記出力パルス信号として送出する構成であることを特徴とする電圧変換回路。

2. パルス幅が一定で、パルス周期が可変である出力パルス信号を生成する出力パルス信号生成回路と、

前記出力パルス信号から第1制御信号及び第2制御信号を生成するスイッチタイミング回路と、

ソースに第1電源電圧が印加され、ゲートに第1制御信号が印加されるPMOSトランジスタと、ソースに第2電源電圧が印加され、ゲートに第2制御信号が印加されるNMOSトランジスタとを有し、両トランジスタの各ドレインを共通接続した接続ノードから電圧を出力するスイッチ回路と、

前記スイッチ回路から入力される電圧を平滑化して出力電圧を得るフィルタ回路と、

を具備し、前記PMOSトランジスタ及び前記NMOSトランジスタのオン/オフ制御を行うことによって、前記出力電圧の大きさを変化させる電圧変換回路において、

前記出力パルス信号生成回路は、

パルス幅一定の基準パルス信号を生成する基準パルス信号生成回路と、

入力されるパルス信号を所定の単位時間だけ遅らせる遅延素子を複数個直列接続して成る遅延回路部と、該遅延回路部を構成する各遅延素子からそれぞれ送出される出力信号のいずれか一つを選択出力する選択回路部とから成り、その入力

端が前記基準パルス信号生成回路の出力端に接続された第1遅延回路と、

入力されるパルス信号と、該パルス信号を所定時間だけ遅らせた遅延パルス信号のいずれか一方を選択出力する任意遅延回路部を複数段直列接続して成り、その入力端が第1遅延回路の出力端に接続された第2遅延回路と、

第1、第2遅延回路における出力選択動作を制御する遅延時間制御回路と、
を有して成り、第2遅延回路の出力信号を前記出力パルス信号として前記スイッチタイミング制御回路に送出する構成であることを特徴とする電圧変換回路。

3. 第1遅延回路の遅延回路部を構成する各遅延素子、及び第2遅延回路の任意遅延回路部を構成する各遅延素子はいずれもフリップフロップ回路であり、第2遅延回路の各遅延素子を駆動するクロック周波数或いは位相は、第1遅延回路の各遅延素子を駆動するクロック周波数或いは位相と異なることを特徴とする請求項2に記載の電圧変換回路。

4. 前記スイッチタイミング制御回路は、前記スイッチ回路を構成するPMOSトランジスタ及びNMOSトランジスタのオン/オフ制御に際して、一方のMOSトランジスタをオフさせてから所定時間経過後に他方のMOSトランジスタをオンさせるように、第1制御信号及び第2制御信号の電圧レベルを制御する構成であることを特徴とする請求項2に記載の電圧変換回路。

5. 前記遅延時間制御回路は、前記電圧変換回路の出力電圧によって駆動される内部回路の動作状態を、該内部回路を駆動するクロック信号に同期して検出するレプリカ回路と、前記レプリカ回路によって検出された前記内部回路の動作状態に応じて、第1、第2遅延回路における出力選択動作を制御するための選択信号を生成する選択信号生成回路と、を有して成ることを特徴とする請求項2に記載の電圧変換回路。

6. 前記レプリカ回路は、前半遅延段と後半遅延段とを直列接続することで構成され、入力信号に対して前記内部回路の最大遅延パスと同等の遅延を行うクリ

ティカルパス回路を有して成り、

前記前半遅延段における遅延時間を第1動作時間、前記クリティカルパス回路全体における遅延時間を第2動作時間とし、

前記第1動作時間及び第2動作時間と、第1所定動作時間及び第1所定動作時間より長い第2所定動作時間とをそれぞれ比較して、

第2動作時間が第1所定動作時間より短い場合は前記内部回路の動作速度が速過ぎると判断し、前記選択信号生成回路に対して第1、第2遅延回路における遅延時間を長くする要求を行い、

第1動作時間が第1所定動作時間より短く、第2動作時間が第1所定動作時間よりも長いが第2所定動作時間よりも短い場合は前記内部回路の動作速度が適切であると判断し、前記選択信号生成回路に対して第1、第2遅延回路における遅延時間を維持する要求を行い、

第1動作時間が第1所定動作時間よりも長い、第2動作時間が第2所定動作時間よりも短い場合、或いは第2動作時間が第2所定動作時間よりも長い場合は前記内部回路の動作速度に余裕がない、或いは該動作速度が遅過ぎると判断し、前記選択信号生成回路に対して第1、第2遅延回路における遅延時間を短くする要求を行う構成であることを特徴とする請求項2に記載の電圧変換回路。

7. 前記レプリカ回路は、

前記クリティカルパス回路を構成する前半遅延段の出力信号を第1所定動作時間でラッチする第1ラッチ回路と、

前記クリティカルパス回路を構成する後半遅延段の出力信号を第1所定動作時間でラッチする第2ラッチ回路と、

前記クリティカルパス回路を構成する後半遅延段の出力信号を第2所定動作時間でラッチする第3ラッチ回路と、

を有して成り、各ラッチ回路の出力信号に基づいて前記内部回路の動作状態を検出する構成であることを特徴とする請求項6に記載の電圧変換回路。

8. 前記選択信号生成回路は、前記レプリカ回路によって前記内部回路の動作

速度が適切であると判断された場合であっても、第 1、第 2 遅延回路の遅延時間をさらに長くすることができるか否かを判断する判定回路部を有することを特徴とする請求項 6 に記載の電圧変換回路。

9. 前記スイッチタイミング制御回路から送出される第 1、第 2 制御信号をそれぞれ昇圧して前記スイッチ回路を構成する PMOS トランジスタ及び NMOS トランジスタの各ゲートに送出する昇圧レベルシフタを有して成り、前記出力パルス信号生成回路及び前記スイッチタイミング制御回路の電源電圧として前記フィルタ回路の出力電圧を供給する構成であることを特徴とする請求項 2 に記載の電圧変換回路。

10. 請求項 2 に記載の電圧変換回路を備えた半導体集積回路装置。

図 1

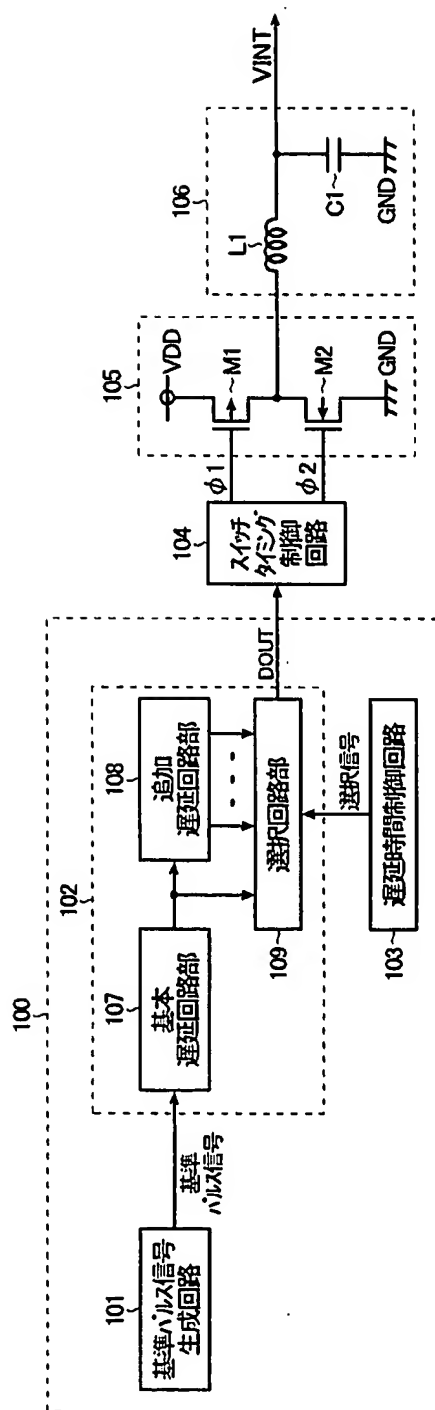


図 2

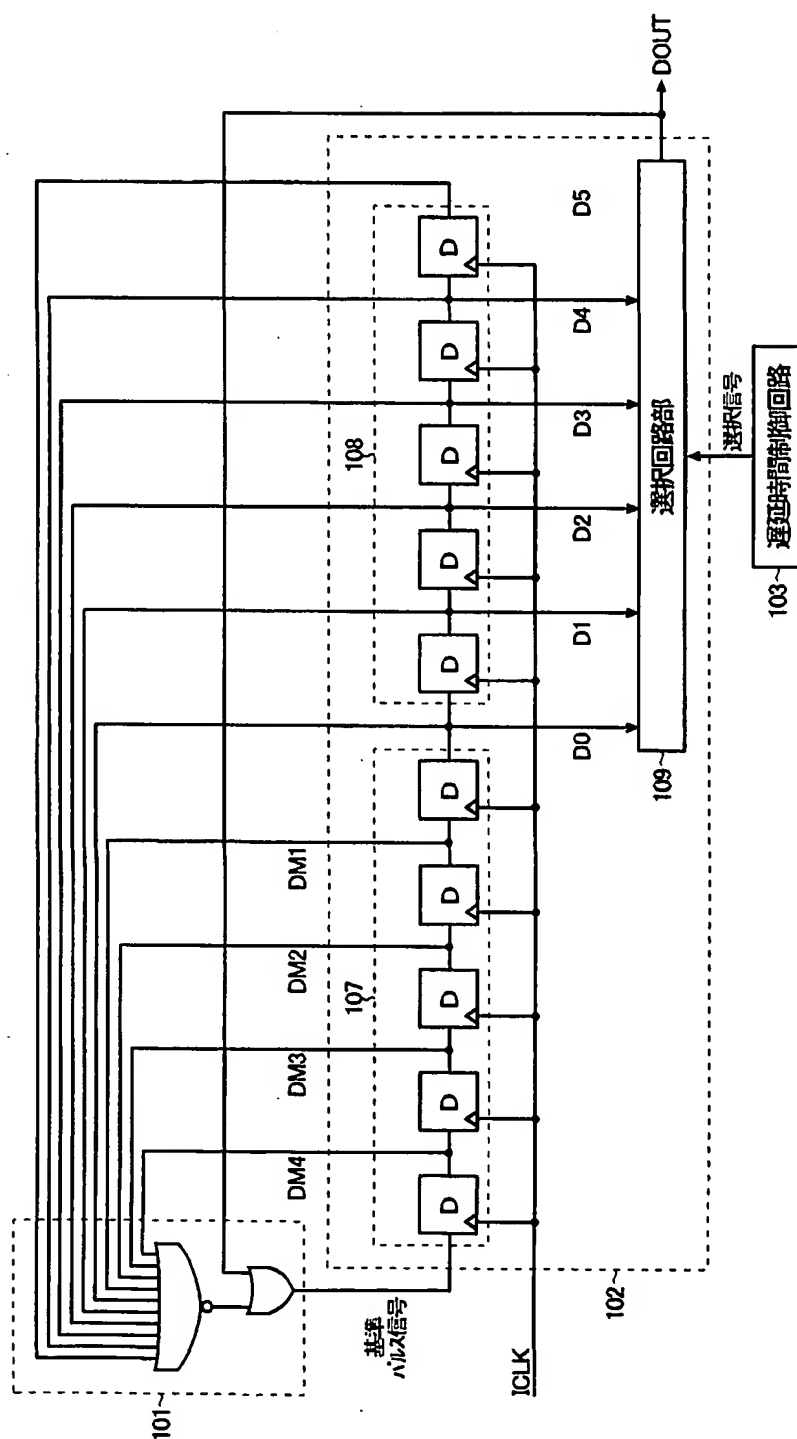


图 3

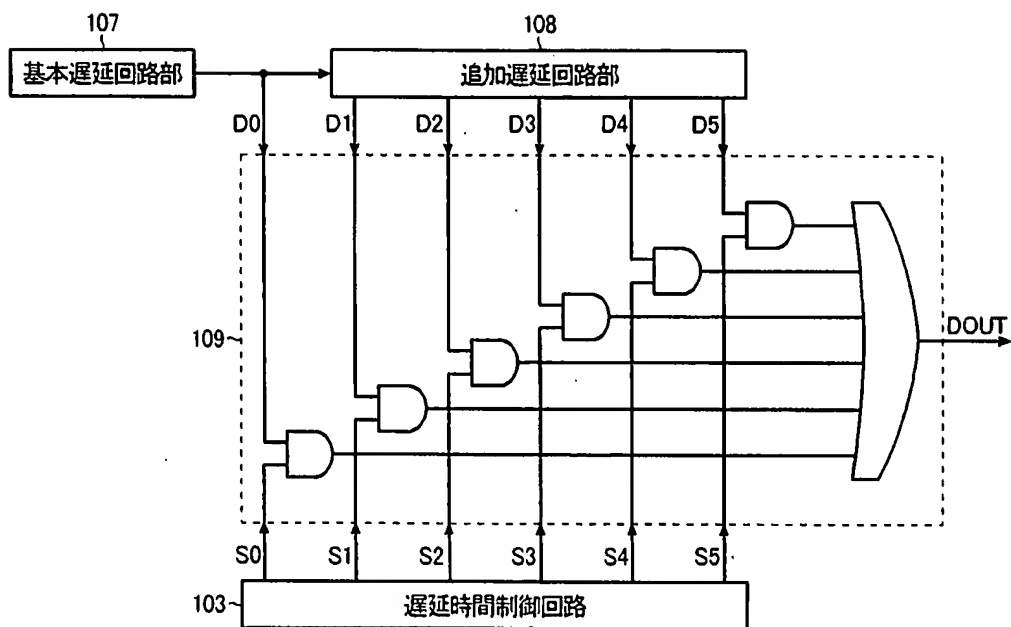


図 4 A

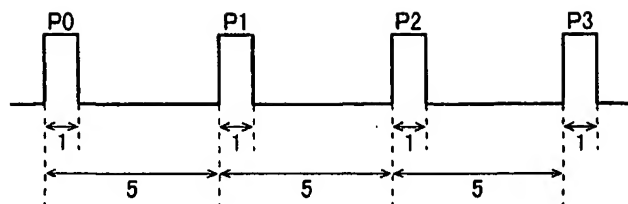


図 4 B

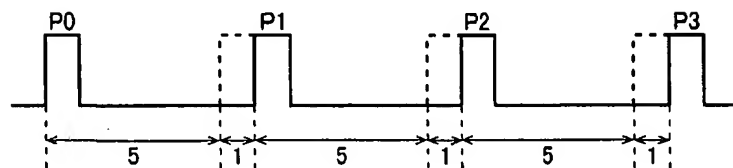


図 4 C

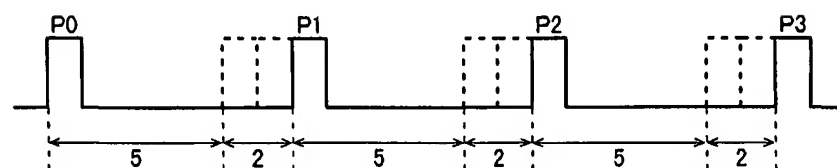


図 4 D

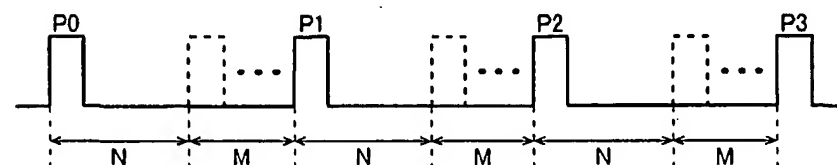


図 5

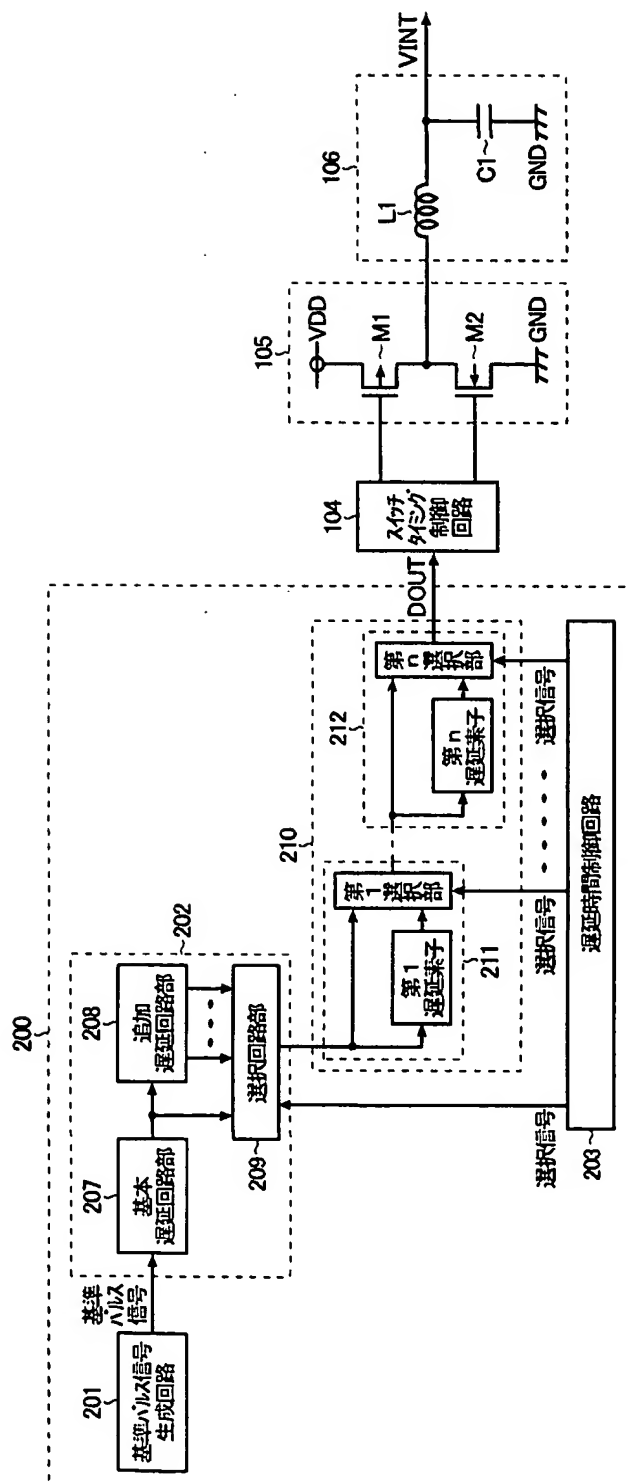


図 6

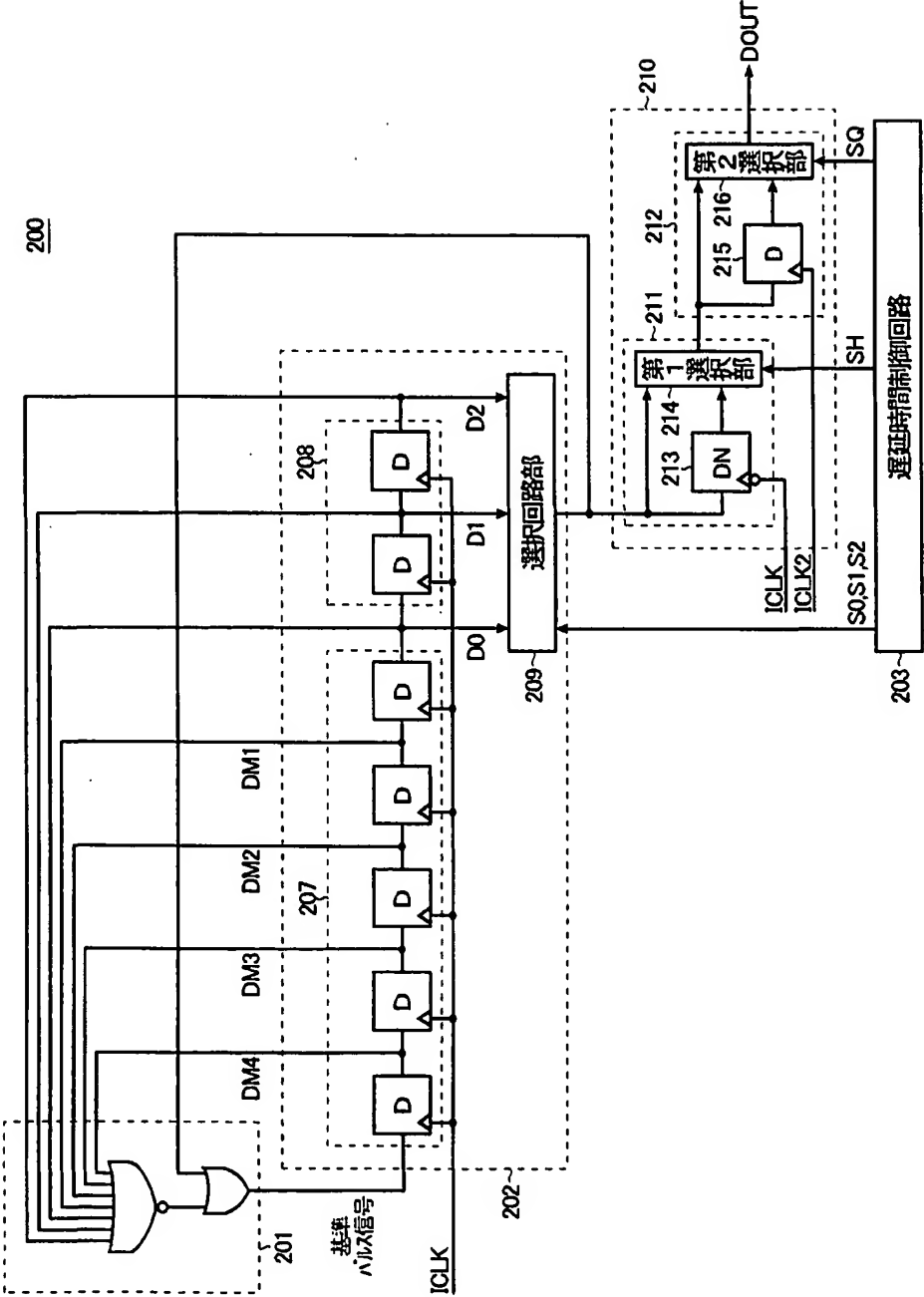


图 7

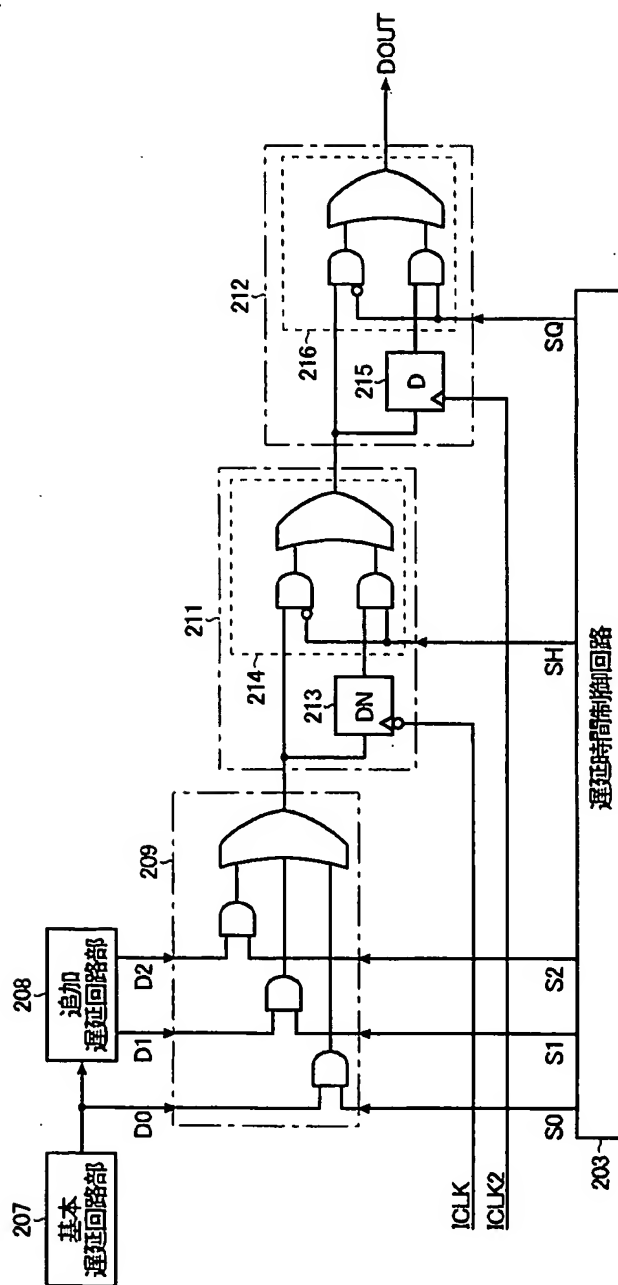


図 8

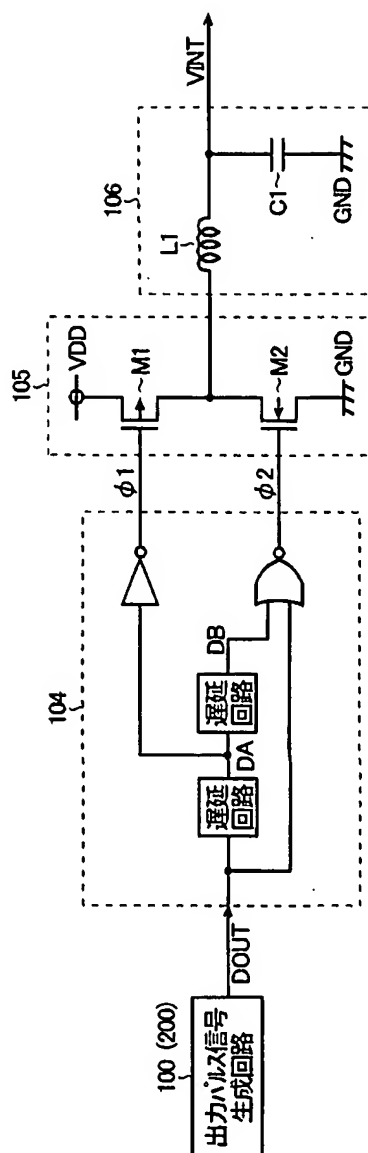


図 9

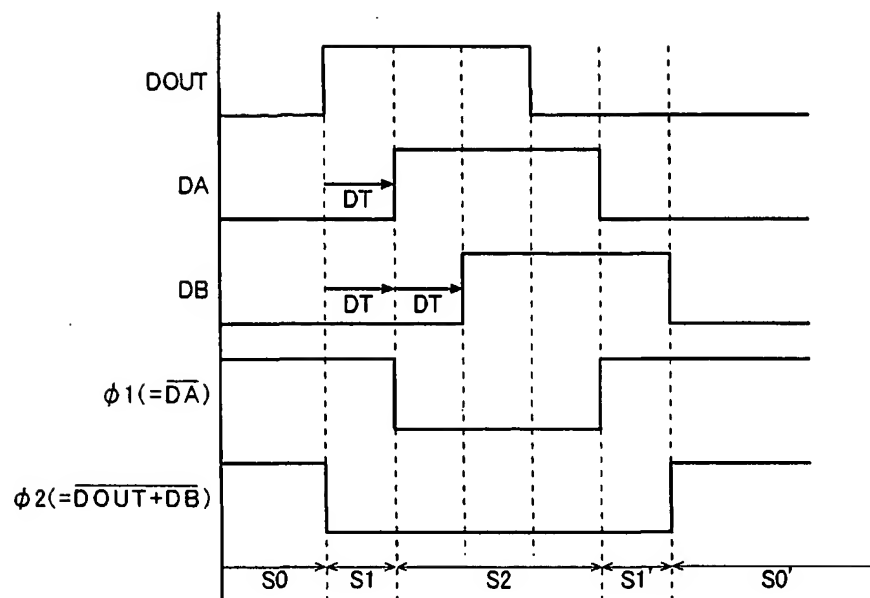


図 10

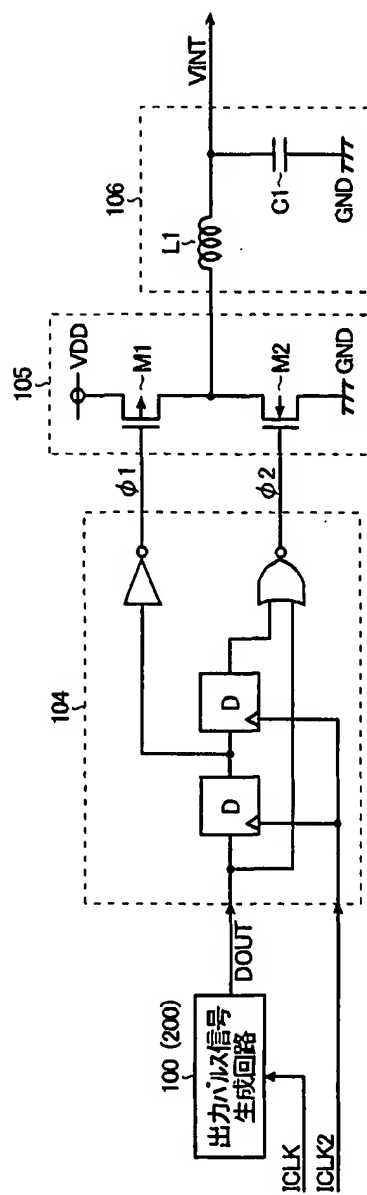


図 1 1 A

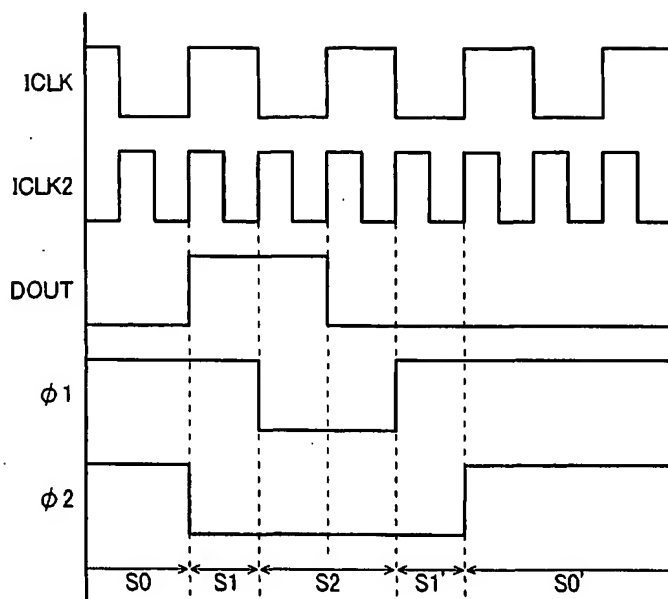


図 1 1 B

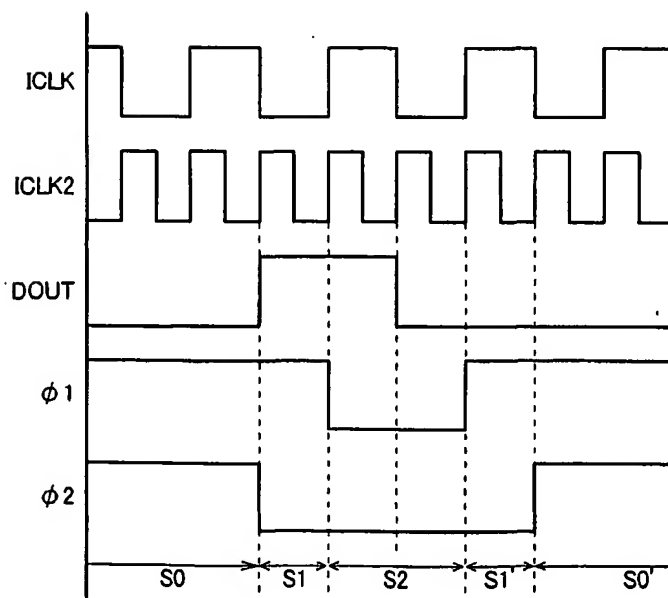


图 12

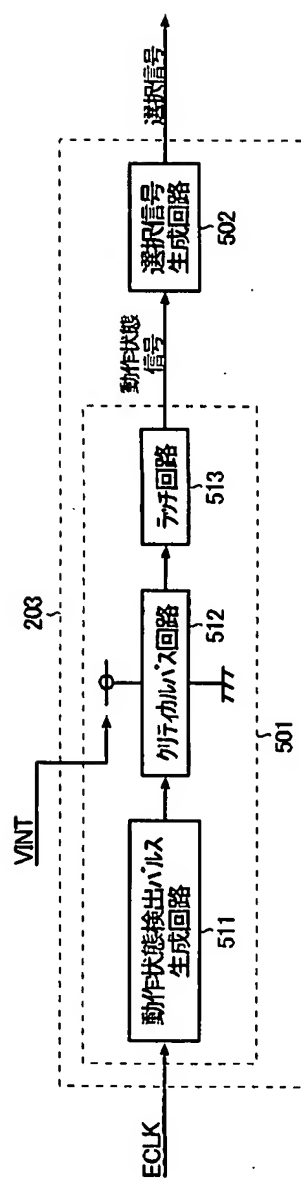


图 13

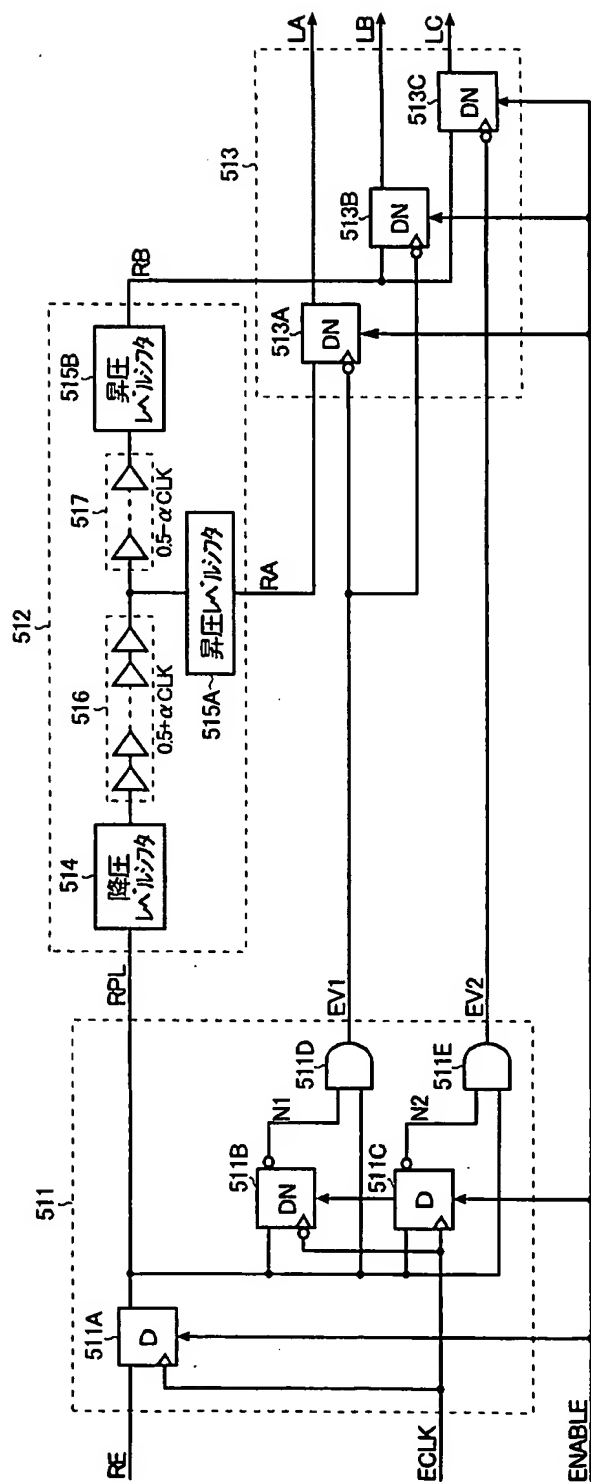
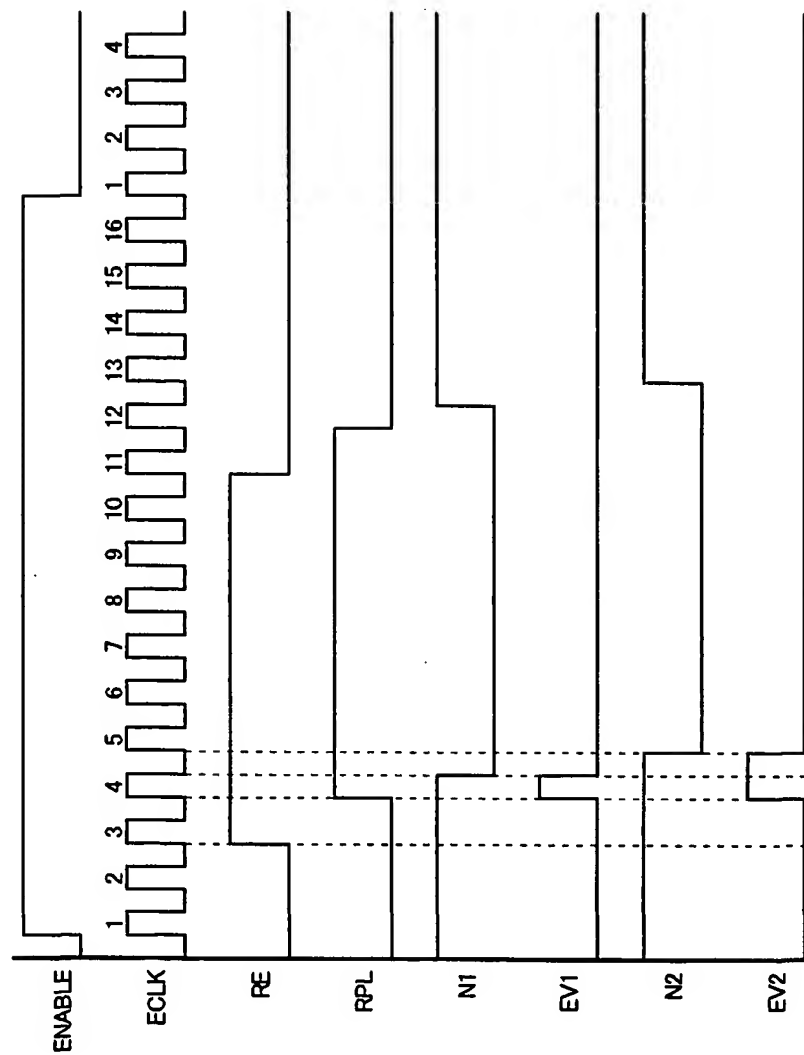


图 14



- 15 / 24 -

図 15

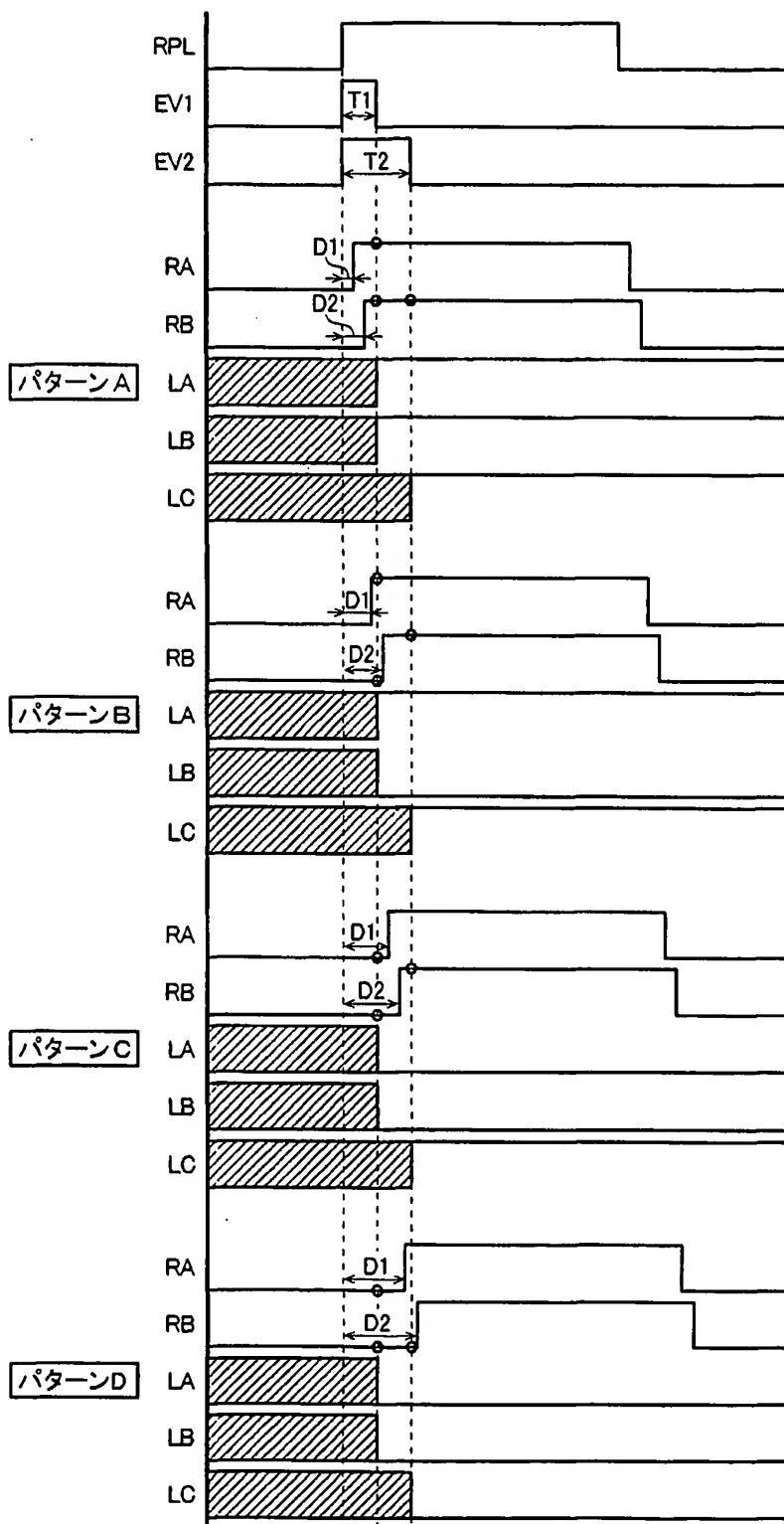


図 16

LA	LB	LC	動作状態
L	L	L	NG
L	L	H	WARN
L	H	L	(NG)
L	H	H	(NG)
H	L	L	(NG)
H	L	H	OK
H	H	L	(NG)
H	H	H	FAST

図 17

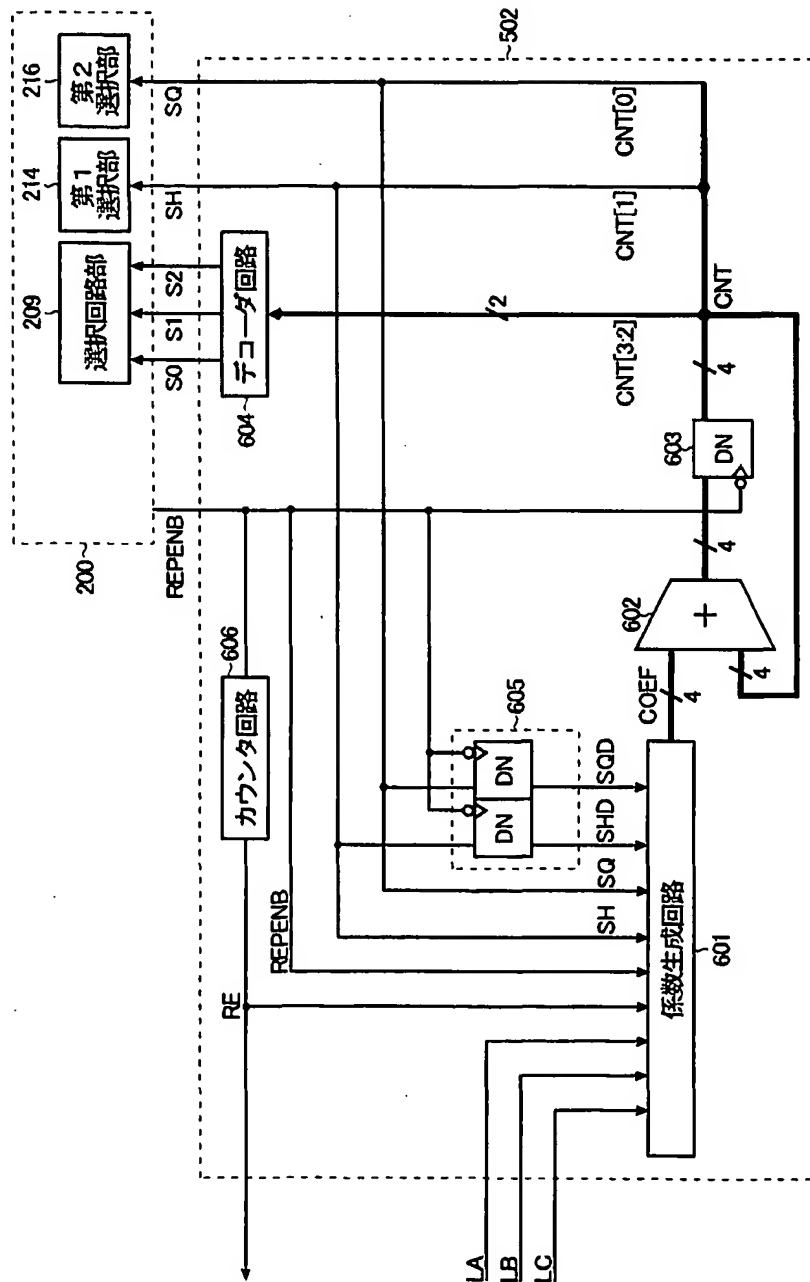


図 18

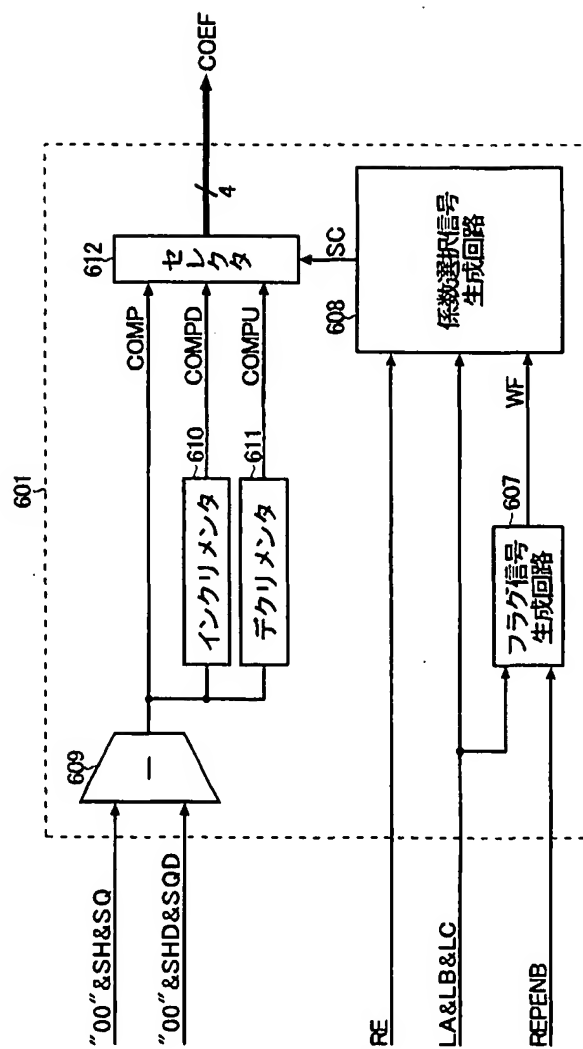


図 19

動作状態	LA	LB	LC	WF
NG	L	L	L	WF0
WARN	L	L	H	H
(NG)	L	H	L	WF0
(NG)	L	H	H	WF0
(NG)	H	L	L	WF0
OK	H	L	H	WF0
(NG)	H	H	L	WF0
FAST	H	H	H	L

図 20

動作状態	LA	LB	LC	WF	SC
NG、(NG) WARN	L	—	—	—	COMPU選択
	H	—	L	—	
OK	H	L	H	L	COMPD選択
				H	COMP 選択
FAST	H	H	H	—	COMPD選択

図 2 1 A

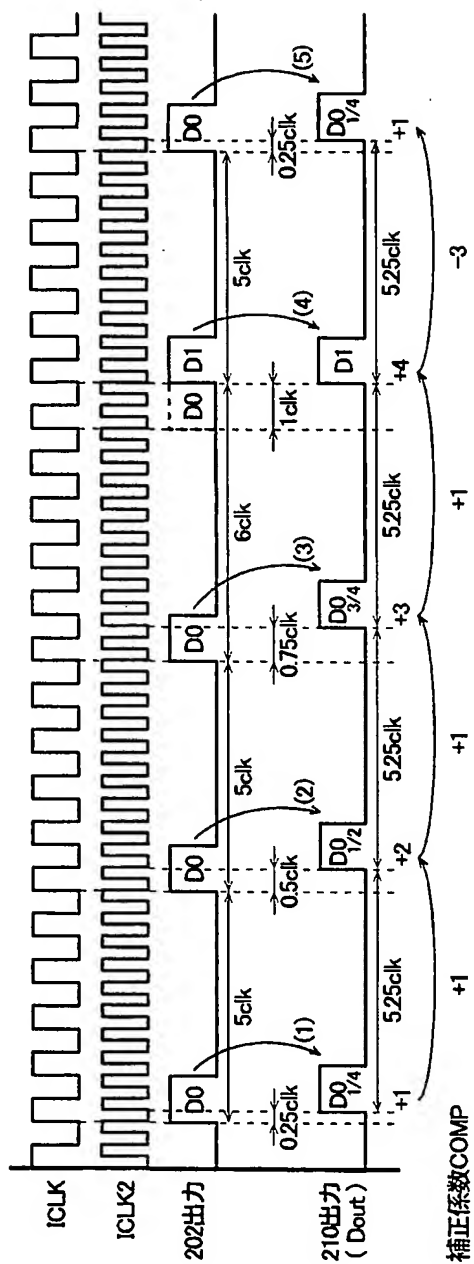


図 2 1 B

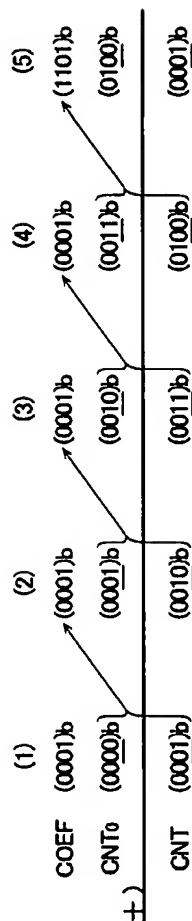


図 2 2

	SHD	SQD	SH	SQ	COMP
	0	0	0	0	0
状態(1)→(2)	0	0	0	1	+1
	0	0	1	0	+2
	0	0	1	1	+3
	0	1	0	0	-1
	0	1	0	1	0
状態(2)→(3)	0	1	1	0	+1
	0	1	1	1	+2
	1	0	0	0	-2
	1	0	0	1	-1
	1	0	1	0	0
状態(3)→(4)	1	0	1	1	+1
状態(4)→(5)	1	1	0	0	-3
	1	1	0	1	-2
	1	1	1	0	-1
	1	1	1	1	0

図 2 3

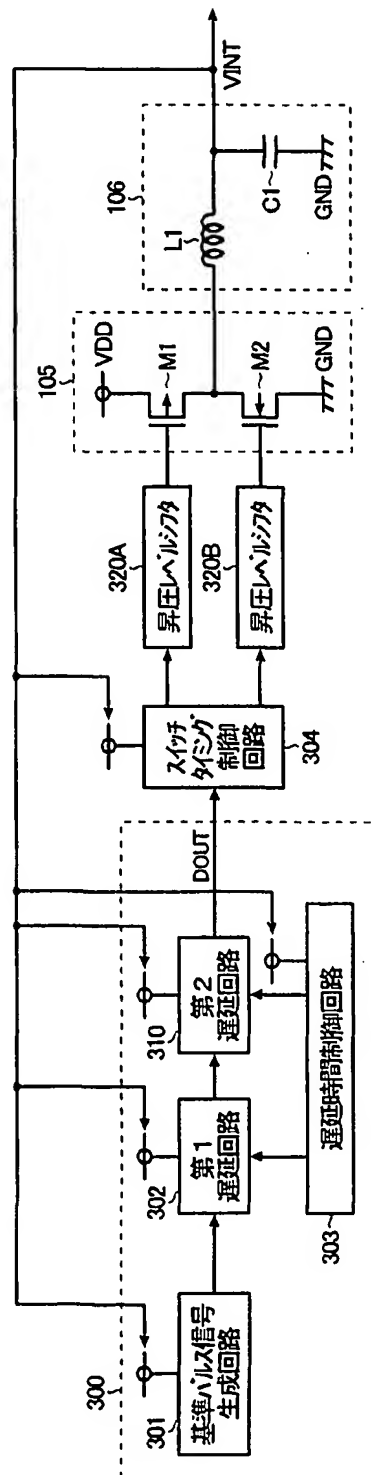
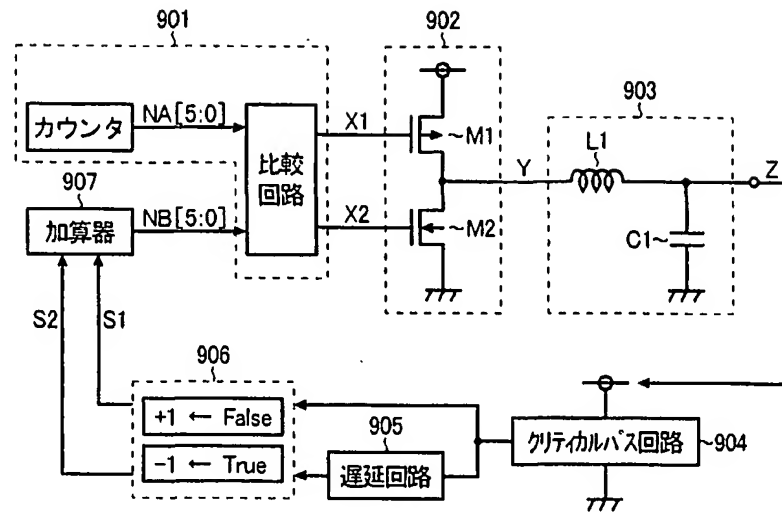


図 2 4



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/00394

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H02M3/155

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Jitsuyo Shinan Toroku Koho 1996-2002

Kokai Jitsuyo Shinan Koho 1971-2002 Toroku Jitsuyo Shinan Koho 1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US, 6166562, A (K.K. Toshiba), 26 December, 2000 (26.12.00), Claims & JP 10-242831 A Claims	1-4, 10 5-9
Y A	JP, 7-135643, A (Matsushita Electric Industrial Co., Ltd.), 23 May, 1995 (23.05.95), Claims (Family: none)	1-4, 10 5-9

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not

considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

26 March, 2002 (26.03.02)

Date of mailing of the international search report

09 April, 2002 (09.04.02)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ H02M3/155

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
日本国公開実用新案公報 1971-2002年
日本国実用新案登録公報 1996-2002年
日本国登録実用新案公報 1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	US 6166562 A (Kabushiki kaisha Toshiba) 2000.12. 26 特許請求の範囲 & JP 10-242831 A 特許請求の 範囲	1-4、10 5-9
Y A	JP 7-135643 A (松下電器産業株式会社) 1995.05. 23 特許請求の範囲 (ファミリーなし)	1-4、10 5-9

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

26.03.02

国際調査報告の発送日

09.04.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

堀川 一郎

3V

8325

電話番号 03-3581-1101 内線 3356